

BUS EMULATION DEVICE**Publication number:** JP2001223729 (A)**Publication date:** 2001-08-17**Inventor(s):** KUMADA ICHIRO**Applicant(s):** SONY CORP**Classification:**

- international: G06F13/38; G06F5/00; G06F13/40; G06F13/38; G06F5/00; G06F13/40; (IPC1-7): H04L12/44; G06F5/00; G06F13/38

- European: G06F13/40D1W

Application number: JP20000038262 20000210**Priority number(s):** JP20000038262 20000210**Also published as:**

US2001014925 (A1)

US6715010 (B2)

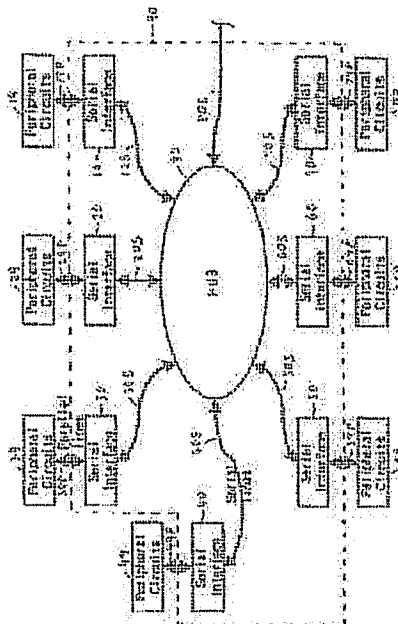
EP1139227 (A2)

EP1139227 (A3)

CN1308282 (A)

Abstract of JP 2001223729 (A)

PROBLEM TO BE SOLVED: To provide a bus emulation device which can be replaced with a parallel bus. **SOLUTION:** The bus emulation device 90 has a hub circuit 80, serial interface circuits 10 to 70, and serial transfer lines 10S to 70S and is mounted on an LSI or printed circuit board. The serial interface circuits 10 to 70 have parallel/serial converting circuits which convert parallel data from peripheral circuits 19 to 79 into serial data and supply them to the serial transfer lines 10S to 70S and serial/parallel converting circuits which convert serial data from the hub circuit 80 into parallel data and supply them to the peripheral circuits 19 to 79. The hub circuit 80 supplies the serial data from the serial interface circuits 10 to 70 to serial interface circuits connected to peripheral circuits at transfer destinations of the parallel data among the serial interface circuits 10 to 70.



Data supplied from the esp@cenet database — Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-223729

(P2001-223729A)

(43) 公開日 平成13年8月17日 (2001.8.17)

(51) Int.Cl. ⁷	識別記号	F I	データベース* (参考)
H 0 4 L 12/44		C 0 6 F 5/00	S 5 B 0 7 7
G 0 6 F 5/00		13/38	3 5 0 5 K 0 3 3
13/38	3 5 0	H 0 4 L 11/00	3 4 0

審査請求 未請求 請求項の数30 O L (全 25 頁)

(21) 出願番号 特願2000-38262(P2000-38262)

(22) 出願日 平成12年2月10日 (2000.2.10)

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 隈田 一郎

東京都品川区北品川6丁目7番35号 ソニ

ー株式会社内

(74) 代理人 100094053

弁理士 佐藤 隆久

Fターム(参考) 5B077 MM01 MM02 NN02

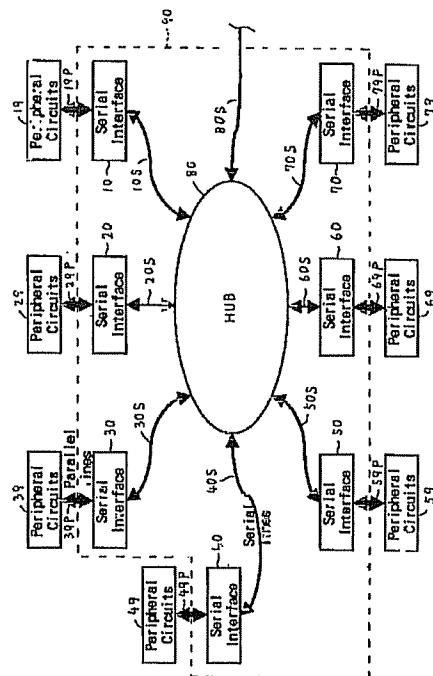
5K033 AA02 DA15 DB02

(54) 【発明の名称】 バスエミュレーション装置

(57) 【要約】

【課題】 パラレルバスと置換え可能なバスエミュレーション装置を提供する。

【解決手段】 バスエミュレーション装置90は、ハブ回路80と、シリアルインタフェース回路10〜70と、シリアル転送路10S〜70Sとを有し、LSIまたはプリント回路板に搭載される。シリアルインタフェース回路10〜70は、周辺回路19〜79からのパラレルデータをシリアルデータに変換してシリアル転送路10S〜70Sに供給するパラレル/シリアル変換回路と、ハブ回路80からのシリアルデータをパラレルデータに変換して周辺回路19〜79に供給するシリアル/パラレル変換回路とを有する。ハブ回路80は、シリアルインタフェース回路10〜70からのシリアルデータを、シリアルインタフェース回路10〜70のうちで前記パラレルデータの転送先の周辺回路に接続されたシリアルインタフェース回路に対して供給する。



【特許請求の範囲】

【請求項1】ハブ回路と、複数のシリアルインタフェース回路と、前記複数のシリアルインタフェース回路と前記ハブ回路との間を各々接続するシリアル転送路とを有し、大規模集積回路またはプリント回路板に搭載されるバスエミュレーション装置であって、

前記シリアルインタフェース回路は、当該シリアルインタフェース回路に接続された周辺回路からのパラレルデータをシリアルデータに変換して前記シリアル転送路に供給するパラレル/シリアル変換回路と、

前記ハブ回路から前記シリアル転送路を介して供給されるシリアルデータをパラレルデータに変換して前記周辺回路に供給するシリアル/パラレル変換回路とを有し、前記ハブ回路は、前記シリアルインタフェース回路から前記シリアル転送路を介して供給されるシリアルデータを、前記複数のシリアルインタフェース回路のうちで前記パラレルデータの転送先の周辺回路に接続されたシリアルインタフェース回路に対して、前記シリアル転送路を介して供給するバスエミュレーション装置。

【請求項2】前記ハブ回路は、前記複数のシリアルインタフェース回路を、データ転送が行われる複数のグループに予め分割し、前記複数のグループの各々の中でパラレルデータの転送が行われるように、前記シリアルインタフェース回路間のシリアルデータの中継を行う請求項1記載のバスエミュレーション装置。

【請求項3】前記シリアルインタフェース回路から前記シリアル転送路を介して前記ハブ回路に供給されるシリアルデータは、転送先を示すアドレス情報を有し、前記ハブ回路は、前記アドレス情報に基づき、前記転送先の周辺回路に接続された前記シリアルインタフェース回路に対して前記シリアルデータを供給する請求項1記載のバスエミュレーション装置。

【請求項4】前記ハブ回路は、前記シリアルインタフェース回路から前記シリアル転送路を介して供給されるシリアルデータを保持するバッファと、当該シリアルデータに含まれるアドレス情報を抽出する抽出回路と、同一転送先に対する複数の転送要求がある場合に転送の優先順位を決定する制御回路と、前記抽出回路で抽出されたアドレス情報と前記制御回路で決定された優先順位とに基づき、前記シリアルデータの転送経路を選択する選択回路とを有する請求項3記載のバスエミュレーション装置。

【請求項5】前記ハブ回路は、前記シリアルインタフェース回路からのシリアルデータの転送終了および/または前記シリアルインタフェース回路からの割込みを検出する検出回路をさらに有し、前記制御回路は、前記検出回路の検出結果に基づいて前

記優先順位を決定する請求項4記載のバスエミュレーション装置。

【請求項6】前記ハブ回路は、異なるクロック周波数の複数のクロック信号を生成するクロック信号生成回路をさらに有し、

前記バッファは、転送元または転送先の周辺回路の転送速度に応じたクロック信号が前記クロック信号生成回路から供給され、供給されたクロック信号に応じた転送速度で前記シリアルデータの入出力を行う請求項4記載のバスエミュレーション装置。

【請求項7】前記ハブ回路は、前記シリアルインタフェース回路間の前記シリアルデータの転送を制御するDMAコントローラを、前記複数のシリアルインタフェース回路の各々に対応して有する請求項1記載のバスエミュレーション装置。

【請求項8】前記ハブ回路は、前記シリアル転送路を介して前記シリアルインタフェース回路にクロック信号を供給し、

前記シリアルインタフェース回路は、前記ハブ回路から供給された前記クロック信号を、当該クロック信号に基づいて動作する周辺回路であって当該シリアルインタフェース回路に接続された周辺回路に対して供給する請求項1記載のバスエミュレーション装置。

【請求項9】前記シリアルインタフェース回路は、前記ハブ回路の前記バッファ中のデータ数を計数するカウンタを有し、

前記カウンタのカウント値が前記バッファに空きがないことを示す場合は、前記ハブ回路に対する前記シリアルデータの送出を停止し、

前記カウンタのカウント値が前記バッファに空きがあることを示す場合に、前記ハブ回路に対する前記シリアルデータの送出を行う請求項4記載のバスエミュレーション装置。

【請求項10】前記シリアルインタフェース回路は、前記周辺回路から供給された今回のパラレルデータが前回のパラレルデータと同一または略同一である場合に、前記同一または略同一であることを示すフラグを生成し、生成した当該フラグを前記ハブ回路に供給し、前記ハブ回路は、前記前回のパラレルデータに対応する前回のシリアルデータを保持するキャッシュメモリを有し、前記キャッシュメモリに保持されたシリアルデータと前記フラグとに基づき、前記今回のパラレルデータに対応する今回のシリアルデータを生成する請求項4記載のバスエミュレーション装置。

【請求項11】前記シリアルインタフェース回路は、前回のパラレルデータと今回のパラレルデータとの差が±1であることを検出して当該差を示す前記フラグを生成し、

前記ハブ回路は、前記キャッシュメモリに保持された前回のシリアルデータに対し、前記フラグに基づいて±1

の演算を行って前記今回のシリアルデータを生成する請求項10記載のバスエミュレーション装置。

【請求項12】前記ハブ回路は、前記シリアルインタフェース回路から前記シリアル転送路を介して供給された今回のシリアルデータが前回のシリアルデータと同一または略同一である場合に、前記同一または略同一であることを示すフラグを生成し、

転送先の周辺回路に接続された前記シリアルインタフェース回路は、前記ハブ回路からの前回のシリアルデータに対応する前回のパラレルデータを保持するキャッシュメモリを有し、前記キャッシュメモリに保持されたパラレルデータと前記ハブ回路からの前記フラグとに基づいて今回のパラレルデータを生成する請求項4記載のバスエミュレーション装置。

【請求項13】前記ハブ回路は、前回のシリアルデータと今回のシリアルデータとの差が±1であることを検出して当該差を示す前記フラグを生成し、

前記転送先の周辺回路に接続された前記シリアルインタフェース回路は、前記キャッシュメモリに保持された前回のパラレルデータに対し、前記フラグに基づいて±1の演算を行って前記今回のパラレルデータを生成する請求項12記載のバスエミュレーション装置。

【請求項14】転送元の周辺回路に接続された前記シリアルインタフェース回路は、前記周辺回路から供給された今回のパラレルデータが前回のパラレルデータと同一または略同一である場合に、前記同一または略同一であることを示すフラグを生成し、生成した当該フラグを前記ハブ回路に供給し、

前記転送先の周辺回路に接続された前記シリアルインタフェース回路は、前記ハブ回路からの前回のシリアルデータに対応する前回のパラレルデータを保持するキャッシュメモリを有し、前記キャッシュメモリに保持されたパラレルデータと前記ハブ回路からの前記フラグとに基づいて今回のパラレルデータを生成する請求項4記載のバスエミュレーション装置。

【請求項15】前記転送元の周辺回路に接続された前記シリアルインタフェース回路は、前回のパラレルデータと今回のパラレルデータとの差が±1であることを検出して当該差を示す前記フラグを生成し、

前記転送先の周辺回路に接続された前記シリアルインタフェース回路は、前記キャッシュメモリに保持された前回のパラレルデータに対し、前記フラグに基づいて±1の演算を行って前記今回のパラレルデータを生成する請求項14記載のバスエミュレーション装置。

【請求項16】転送頻度が多い周辺回路に対するアドレス情報のデータ長は、転送頻度が少ない周辺回路に対するアドレス情報のデータ長よりも短い請求項3記載のバスエミュレーション装置。

【請求項17】前記ハブ回路は、複数の転送速度でシリアルデータを前記シリアルインタフェース回路に供給し

て転送速度のテストを行い、

前記シリアルインタフェース回路は、前記転送速度のテスト時において、前記シリアル/パラレル変換回路で生成されたパラレルデータを前記パラレル/シリアル変換回路でシリアルデータに変換して前記ハブ回路に返送する請求項1記載のバスエミュレーション装置。

【請求項18】前記ハブ回路は、データ転送の空き時間に、前記複数のシリアルインタフェース回路との間の接続テストまたは自己テストを行う請求項1記載のバスエミュレーション装置。

【請求項19】前記ハブ回路は、前記バッファの稼働状況を監視する請求項4記載のバスエミュレーション装置。

【請求項20】前記ハブ回路は、デバッグ時において、前記複数のシリアルインタフェース回路のうち特定のシリアルインタフェース回路からのシリアルデータを、当該シリアルデータ内のアドレス情報が示す転送先の周辺回路とは異なる周辺回路に接続されたシリアルインタフェース回路に対して供給する請求項1記載のバスエミュレーション装置。

【請求項21】前記パラレル/シリアル変換回路は、前記周辺回路からのパラレルデータを、暗号化されたシリアルデータに変換して前記ハブ回路に供給し、

前記シリアル/パラレル変換回路は、前記ハブ回路からの暗号化されたシリアルデータを、復号化されたパラレルデータに変換する請求項1記載のバスエミュレーション装置。

【請求項22】前記パラレル/シリアル変換回路は、前記周辺回路からのパラレルデータを暗号化する第1のリニアフィードバック・シフトレジスタを有し、前記シリアル/パラレル変換回路は、前記ハブ回路からの暗号化されたシリアルデータを復号化する第2のリニアフィードバック・シフトレジスタを有し、前記第1および第2のリニアフィードバック・シフトレジスタは、互いに逆演算を行う請求項21記載のバスエミュレーション装置。

【請求項23】前記第1のリニアフィードバック・シフトレジスタの暗号化動作時の動作周波数は、暗号化されたシリアルデータをシフトして送出する送信動作時の動作周波数よりも高い請求項22記載のバスエミュレーション装置。

【請求項24】前記第2のリニアフィードバック・シフトレジスタの復号化動作時の動作周波数は、前記ハブ回路からの暗号化されたシリアルデータをシフトして受け取る受信動作時の動作周波数よりも高い請求項22記載のバスエミュレーション装置。

【請求項25】前記シリアルインタフェース回路は、識別情報または暗号キーの情報を保持するレジスタをさらに有し、当該レジスタに対してバックアップ用電力を電源障害時に供給する請求項21記載のバスエミュレーション装置。

ョン装置。

【請求項26】前記シリアル転送路の信号線は、終端抵抗によって終端されており、

前記終端抵抗は、並列接続された複数のトランジスタを有し、前記複数のトランジスタは選択的にオン状態に設定されて終端抵抗値が設定される請求項1記載のバスエミュレーション装置。

【請求項27】前記ハブ回路および前記シリアルインタフェース回路は、

前記シリアル転送路にシリアルデータを送出するドライバと、

前記シリアル転送路からのシリアルデータを受け取るレシーバとをさらに有し、

前記シリアル転送路の信号線をシールドする配線と前記ドライバおよびレシーバの駆動電圧の供給線とが接続されている請求項1記載のバスエミュレーション装置。

【請求項28】前記レシーバは、シリアルデータを出力する差動増幅回路を有し、

前記差動増幅回路の一方の入力端子には、前記シリアル転送路の信号線が接続されており、

前記差動増幅回路の他方の入力端子には、前記駆動電圧を分圧して得られた電圧が入力しきい値として供給される請求項27記載のバスエミュレーション装置。

【請求項29】前記シリアル転送路の信号線は、直列接続されたコンデンサおよび終端抵抗素子を介して接地されている請求項1記載のバスエミュレーション装置。

【請求項30】前記シリアル転送路の信号線をシールドする配線と前記終端抵抗素子の接地端子とが接続されている請求項29記載のバスエミュレーション装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、ハブ回路を介して周辺回路間のデータ転送を行うバスエミュレーション装置に関する。

【0002】

【従来の技術】特開平11-284636号公報、特開平11-168493号公報、特開平11-88397号公報、特開昭62-220047号公報、特開平7-297853号公報には、ハブまたはハブを有するネットワークに関する記載がある。

【0003】例えば、特開平11-284636号公報には、HUB装置およびUSB通信方法の発明が開示されている。この公報には、デバイス間のデータ経路を直接接続する接続機能をHUB装置に付加することが開示されている。

【0004】また、特開平11-88397号公報には、スイッチングハブの発明が開示されている。この公報には、複数の高速ネットワークインタフェース部と複数の低速スイッチング部との間にシリアル/パラレル変換部を設け、高速ネットワークインタフェース部の間で

はシリアルデータで転送を行い、低速スイッチング部の間ではパラレルデータで転送を行い、データ転送速度を切り換えることが開示されている。

【0005】また、特開平7-297853号公報には、拡張可能なラウンドロビンローカルエリアハブネットワークにおいて、リモートステーションをポーリングすることが開示されている。

【0006】

【発明が解決しようとする課題】従来のパーソナルコンピュータ（PC）やデジタル家電機器の筐体内では、パラレル配線のバスによるマルチドロップの接続形態が一般的である。このような、従来の接続形態では、配線経路のインピーダンス平坦化や終端が困難なため、1信号線あたりのデータ転送速度を上げるのが難しい。そのため、配線本数が増加し、配線面積の増大、電磁波の不要輻射（EMC）の増大、配線長の制限等の問題がある。

【0007】さらに、従来の大規模集積回路（LSI）またはプリント回路板におけるバス配線およびバスアーキテクチャでは、周辺回路間でオーディオもしくはビデオ等のデジタル信号を転送している場合に、同時に他の信号を他の周辺回路間で転送することが困難である。このため、従来のパラレルバス配線、バスドライバ、バスレシーバ等の機能を満たし、さらに前述のような既存バスの問題を解消するバスエミュレーション装置が望まれる。

【0008】なお、IEEE（Institute of Electrical and Electronics Engineers）1394やUSB（Universal Serial Bus）、イーサネット（Ethernet）のようなシリアルネットワーク規格は、基本的に時分割多重接続（TDMA：Time-Division Multiple Access）方式なので、通常のバスと同様に同時複数転送が困難である。電話やATM（Asynchronous Transfer Mode switching system）を用いた広域ネットワークは、ハブ&スポーク形トポロジーを有するが、対象とする物理エリア、装置規模、タイミング要求等が大きく異なり、バスの置換えとは概念が本質的に異なる。

【0009】本発明の第1の目的は、LSIまたはプリント回路板に搭載されるバスエミュレーション装置であって、パラレルバスと置換え可能なバスエミュレーション装置を提供することにある。本発明の第2の目的は、周辺回路間でのデータ転送中に、他の周辺回路間でデータ転送を可能とするバスエミュレーション装置を提供することにある。

【0010】

【課題を解決するための手段】本発明に係るバスエミュレーション装置は、ハブ回路と、複数のシリアルインタフェース回路と、前記複数のシリアルインタフェース回路と前記ハブ回路との間を各々接続するシリアル転送路とを有し、大規模集積回路またはプリント回路板に搭載

されるバスエミュレーション装置であって、前記シリアルインタフェース回路は、当該シリアルインタフェース回路に接続された周辺回路からのパラレルデータをシリアルデータに変換して前記シリアル転送路に供給するパラレル/シリアル変換回路と、前記ハブ回路から前記シリアル転送路を介して供給されるシリアルデータをパラレルデータに変換して前記周辺回路に供給するシリアル/パラレル変換回路とを有し、前記ハブ回路は、前記シリアルインタフェース回路から前記シリアル転送路を介して供給されるシリアルデータを、前記複数のシリアルインタフェース回路のうち前記パラレルデータの転送先の周辺回路に接続されたシリアルインタフェース回路に対して、前記シリアル転送路を介して供給する。

【0011】本発明に係るバスエミュレーション装置では、好適には、前記ハブ回路は、前記複数のシリアルインタフェース回路を、データ転送が行われる複数のグループに予め分割し、前記複数のグループの各々の中でパラレルデータの転送が行われるように、前記シリアルインタフェース回路間のシリアルデータの中継を行う。

【0012】本発明に係るバスエミュレーション装置では、好適には、前記シリアルインタフェース回路から前記シリアル転送路を介して前記ハブ回路に供給されるシリアルデータは、転送先を示すアドレス情報を有し、前記ハブ回路は、前記アドレス情報に基づき、前記転送先の周辺回路に接続された前記シリアルインタフェース回路に対して前記シリアルデータを供給する。

【0013】本発明に係るバスエミュレーション装置では、より好適には、前記ハブ回路は、前記シリアルインタフェース回路から前記シリアル転送路を介して供給されるシリアルデータを保持するバッファと、当該シリアルデータに含まれるアドレス情報を抽出する抽出回路と、同一転送先に対する複数の転送要求がある場合に転送の優先順位を決定する制御回路と、前記抽出回路で抽出されたアドレス情報と前記制御回路で決定された優先順位とに基づき、前記シリアルデータの転送経路を選択する選択回路とを有する。

【0014】本発明に係るバスエミュレーション装置では、例えば、前記ハブ回路は、前記シリアルインタフェース回路からのシリアルデータの転送終了および/または前記シリアルインタフェース回路からの割込みを検出する検出回路をさらに有し、前記制御回路は、前記検出回路の検出結果に基づいて前記優先順位を決定する構成としてもよい。

【0015】本発明に係るバスエミュレーション装置では、例えば、前記ハブ回路は、異なるクロック周波数の複数のクロック信号を生成するクロック信号生成回路をさらに有し、前記バッファは、転送元または転送先の周辺回路の転送速度に応じたクロック信号が前記クロック信号生成回路から供給され、供給されたクロック信号に応じた転送速度で前記シリアルデータの入出力を行う構

成としてもよい。

【0016】本発明に係るバスエミュレーション装置では、好適には、前記ハブ回路は、前記シリアルインタフェース回路間の前記シリアルデータの転送を制御するDMAコントローラを、前記複数のシリアルインタフェース回路の各々に対応して有する。

【0017】本発明に係るバスエミュレーション装置では、好適には、前記ハブ回路は、前記シリアル転送路を介して前記シリアルインタフェース回路にクロック信号を供給し、前記シリアルインタフェース回路は、前記ハブ回路から供給された前記クロック信号を、当該クロック信号に基づいて動作する周辺回路であって当該シリアルインタフェース回路に接続された周辺回路に対して供給する。

【0018】本発明に係るバスエミュレーション装置では、例えば、前記シリアルインタフェース回路は、前記ハブ回路の前記バッファ中のデータ数を計数するカウンタを有し、前記カウンタのカウント値が前記バッファに空きがないことを示す場合は、前記ハブ回路に対する前記シリアルデータの送出を停止し、前記カウンタのカウント値が前記バッファに空きがあることを示す場合に、前記ハブ回路に対する前記シリアルデータの送出を行う構成としてもよい。

【0019】本発明に係るバスエミュレーション装置では、より好適には、前記シリアルインタフェース回路は、前記周辺回路から供給された今回のパラレルデータが前回のパラレルデータと同一または略同一である場合に、前記同一または略同一であることを示すフラグを生成し、生成した当該フラグを前記ハブ回路に供給し、前記ハブ回路は、前記前回のパラレルデータに対応する前回のシリアルデータを保持するキャッシュメモリを有し、前記キャッシュメモリに保持されたシリアルデータと前記フラグとに基づき、前記今回のパラレルデータに対応する今回のシリアルデータを生成する。本発明に係るバスエミュレーション装置では、例えば、前記シリアルインタフェース回路は、前回のパラレルデータと今回のパラレルデータとの差が±1であることを検出して当該差を示す前記フラグを生成し、前記ハブ回路は、前記キャッシュメモリに保持された前回のシリアルデータに対し、前記フラグに基づいて±1の演算を行って前記今回のシリアルデータを生成する構成としてもよい。

【0020】本発明に係るバスエミュレーション装置では、より好適には、前記ハブ回路は、前記シリアルインタフェース回路から前記シリアル転送路を介して供給された今回のシリアルデータが前回のシリアルデータと同一または略同一である場合に、前記同一または略同一であることを示すフラグを生成し、転送先の周辺回路に接続された前記シリアルインタフェース回路は、前記ハブ回路からの前回のシリアルデータに対応する前回のパラレルデータを保持するキャッシュメモリを有し、前記キ

キャッシュメモリに保持されたパラレルデータと前記ハブ回路からの前記フラグとに基づいて今回のパラレルデータを生成する。本発明に係るバスエミュレーション装置では、例えば、前記ハブ回路は、前回のシリアルデータと今回のシリアルデータとの差が±1であることを検出して当該差を示す前記フラグを生成し、前記転送先の周辺回路に接続された前記シリアルインタフェース回路は、前記キャッシュメモリに保持された前回のパラレルデータに対し、前記フラグに基づいて±1の演算を行って前記今回のパラレルデータを生成する構成としてもよい。

【0021】本発明に係るバスエミュレーション装置では、より好適には、転送元の周辺回路に接続された前記シリアルインタフェース回路は、前記周辺回路から供給された今回のパラレルデータが前回のパラレルデータと同一または略同一である場合に、前記同一または略同一であることを示すフラグを生成し、生成した当該フラグを前記ハブ回路に供給し、前記転送先の周辺回路に接続された前記シリアルインタフェース回路は、前記ハブ回路からの前回のシリアルデータに対応する前回のパラレルデータを保持するキャッシュメモリを有し、前記キャッシュメモリに保持されたパラレルデータと前記ハブ回路からの前記フラグとに基づいて今回のパラレルデータを生成する。本発明に係るバスエミュレーション装置では、例えば、前記転送元の周辺回路に接続された前記シリアルインタフェース回路は、前回のパラレルデータと今回のパラレルデータとの差が±1であることを検出して当該差を示す前記フラグを生成し、前記転送先の周辺回路に接続された前記シリアルインタフェース回路は、前記キャッシュメモリに保持された前回のパラレルデータに対し、前記フラグに基づいて±1の演算を行って前記今回のパラレルデータを生成する。

【0022】本発明に係るバスエミュレーション装置では、より好適には、転送頻度が多い周辺回路に対するアドレス情報のデータ長は、転送頻度が少ない周辺回路に対するアドレス情報のデータ長よりも短い。

【0023】本発明に係るバスエミュレーション装置では、好適には、前記ハブ回路は、複数の転送速度でシリアルデータを前記シリアルインタフェース回路に供給して転送速度のテストを行い、前記シリアルインタフェース回路は、前記転送速度のテスト時において、前記シリアル／パラレル変換回路で生成されたパラレルデータを前記パラレル／シリアル変換回路でシリアルデータに変換して前記ハブ回路に返送する。本発明に係るバスエミュレーション装置では、好適には、前記ハブ回路は、データ転送の空き時間に、前記複数のシリアルインタフェース回路との間の接続テストまたは自己テストを行う。本発明に係るバスエミュレーション装置では、好適には、前記ハブ回路は、前記バッファの稼働状況を、転送制御および／またはエラーリカバリーを行う上位のコン

トローラまたは上位のシステムに通知する機能を有する。

【0024】本発明に係るバスエミュレーション装置では、好適には、前記ハブ回路は、デバッグ時において、前記複数のシリアルインタフェース回路のうちで特定のシリアルインタフェース回路からのシリアルデータを、当該シリアルデータ内のアドレス情報が示す転送先の周辺回路とは異なる周辺回路に接続されたシリアルインタフェース回路に対して供給する。

【0025】本発明に係るバスエミュレーション装置では、好適には、前記パラレル／シリアル変換回路は、前記周辺回路からのパラレルデータを、暗号化されたシリアルデータに変換して前記ハブ回路に供給し、前記シリアル／パラレル変換回路は、前記ハブ回路からの暗号化されたシリアルデータを、復号化されたパラレルデータに変換する。

【0026】本発明に係るバスエミュレーション装置では、より好適には、前記パラレル／シリアル変換回路は、前記周辺回路からのパラレルデータを暗号化する第1のリニアフィードバック・シフトレジスタを有し、前記シリアル／パラレル変換回路は、前記ハブ回路からの暗号化されたシリアルデータを復号化する第2のリニアフィードバック・シフトレジスタを有し、前記第1および第2のリニアフィードバック・シフトレジスタは、互いに逆演算を行う。

【0027】本発明に係るバスエミュレーション装置では、例えば、前記第1のリニアフィードバック・シフトレジスタの暗号化動作時の動作周波数は、暗号化されたシリアルデータをシフトして送出する送信動作時の動作周波数よりも高い構成としてもよい。本発明に係るバスエミュレーション装置では、例えば、前記第2のリニアフィードバック・シフトレジスタの復号化動作時の動作周波数は、前記ハブ回路からの暗号化されたシリアルデータをシフトして受け取る受信動作時の動作周波数よりも高い構成としてもよい。

【0028】本発明に係るバスエミュレーション装置では、例えば、前記シリアルインタフェース回路は、識別情報または暗号キーの情報を保持するレジスタをさらに有し、当該レジスタに対してバックアップ用電力が電源障害時に供給される構成としてもよい。

【0029】本発明に係るバスエミュレーション装置では、好適には、前記シリアル転送路の信号線は、終端抵抗によって終端されており、前記終端抵抗は、並列接続された複数のトランジスタを有し、前記複数のトランジスタは選択的にオン状態に設定されて終端抵抗値が設定される。

【0030】本発明に係るバスエミュレーション装置では、好適には、前記ハブ回路および前記シリアルインタフェース回路は、前記シリアル転送路にシリアルデータを送出するドライバと、前記シリアル転送路からのシリ

アルデータを受け取るレシーバとをさらに有し、前記シリアル転送路の信号線をシールドする配線と前記ドライバおよびレシーバの駆動電圧の供給線とが接続されている。

【0031】本発明に係るバスエミュレーション装置では、より好適には、前記レシーバは、シリアルデータを出力する差動増幅回路を有し、前記差動増幅回路の一方の入力端子には、前記シリアル転送路の信号線が接続されており、前記差動増幅回路の他方の入力端子には、前記駆動電圧を分圧して得られた電圧が入力しきい値として供給される。

【0032】本発明に係るバスエミュレーション装置では、好適には、前記シリアル転送路の信号線は、直列接続されたコンデンサおよび終端抵抗素子を介して接地されている。本発明に係るバスエミュレーション装置では、例えば、前記シリアル転送路の信号線をシールドする配線と前記終端抵抗素子の接地端子とが接続されている構成としてもよい。

【0033】上記した本発明に係るバスエミュレーション装置は、ハブ回路と、複数のシリアルインタフェース回路と、前記複数のシリアルインタフェース回路と前記ハブ回路との間を各々接続するシリアル転送路とを有する。このバスエミュレーション装置は、大規模集積回路(LSI)またはプリント回路板に搭載される。

【0034】シリアルインタフェース回路は、周辺回路からのパラレルデータをシリアルデータに変換してシリアル転送路に供給するパラレル/シリアル変換回路と、ハブ回路からのシリアルデータをパラレルデータに変換して前記周辺回路に供給するシリアル/パラレル変換回路とを有する。ハブ回路は、シリアルインタフェース回路から供給されるシリアルデータを、前記パラレルデータの転送先の周辺回路に接続されたシリアルインタフェース回路に対して供給する。このようにして、従来のバスと同様の機能を、本発明のバスエミュレーション装置に持たせることができる。

【0035】

【発明の実施の形態】以下、本発明の実施の形態を添付図面を参照して説明する。

【0036】図1は、本発明に係るバスエミュレーション装置を示す概略的な構成図である。このバスエミュレーション装置90は、ハブ回路80と、複数のシリアルインタフェース回路10〜70と、前記複数のシリアルインタフェース回路10〜70とハブ回路80との間を各々接続するシリアル転送路10S〜70Sとを有する。バスエミュレーション装置90は、大規模集積回路(LSI)および/またはプリント回路板に搭載される。

【0037】シリアルインタフェース回路10〜70には、パラレル転送路19P〜79Pを介して周辺回路19〜79が接続されている。また、ハブ回路80には、

不図示の外部装置からのシリアル転送路80Sが接続されている。周辺回路19〜79の何れかは、オーディオおよび/またはビデオのデジタル信号を処理する信号処理回路を有する。周辺回路19〜79は、例えば、中央処理装置(CPU)、ハードディスク装置(HDD)、メモリ、デジタル・シグナル・プロセッサ(DSP)、フロントエンド・プロセッサ(FEP)等により構成される。

【0038】図2は、図1のバスエミュレーション装置90において、周辺回路、シリアルインタフェース回路およびハブ回路の間の接続関係を示す概略的な構成図である。なお、周辺回路19〜79、シリアルインタフェース回路10〜70およびハブ回路80の間の各接続関係は同様の構成を有しており、ここでは、周辺回路19、シリアルインタフェース回路10およびハブ回路80の間の接続関係を例示して説明する。

【0039】シリアルインタフェース回路10は、パラレルデータをシリアルデータに変換するパラレル/シリアル変換回路(P/S変換回路)11と、シリアルデータをパラレルデータに変換するシリアル/パラレル変換回路(S/P変換回路)18とを有する。シリアルデータおよびクロック信号の各信号線は、ハブ回路80の接続ポート(不図示)に対して1対1に接続されている。なお、伝送距離が長く高レートのデータ転送を行う場合は、終端(termination)を行って信号波形の乱れを防ぐことが望ましい。

【0040】周辺回路19は、アドレス情報を示す信号、パラレルデータを示す信号、リード/ライトの制御信号等を、P/S変換回路11に供給する。P/S変換回路11は、周辺回路19からの信号に基づき、パラレルデータをシリアルデータに変換し、当該シリアルデータを送信用のクロック信号と共にハブ回路80に送る。S/P変換回路18は、シリアルデータと受信用のクロック信号とがハブ回路80から供給される。S/P変換回路18は、シリアルデータをパラレルデータに変換し、当該パラレルデータを応答信号ACK等と共に周辺回路19に送る。

【0041】このように、P/S変換回路11は、周辺回路19からパラレルにデータを受け取り、受け取ったデータを時間軸上でシリアルデータに変換してシリアル転送路10Sを通してハブ回路80に送る。ハブ回路80では、シリアルデータの送信元のP/S変換回路11(または周辺回路19)を示す情報やデータ転送先のアドレス、R(リード、読出し)/W(ライト、書込み)等の制御情報に基づき、データをシリアル転送路経由で適切なS/P変換回路へ転送する。

【0042】S/P変換回路は、ハブ回路80からシリアル転送路10S経由で送られてきたシリアルデータをパラレルデータに変換し、当該パラレルデータを最終的なデータ転送先である周辺回路へ送る。例えば、S/P

変換回路18は、ハブ回路80からシリアル転送路10S経由で送られてきたシリアルデータをパラレルデータに変換し、当該パラレルデータをデータ転送先である周辺回路19へ送る。

【0043】ある周辺回路から他の周辺回路へデータを書き込む場合は、書込み(W)を示す信号と書込み先(転送先)のアドレス情報(Address)を示す信号と書込みデータ(Write Data)とを、ハブ回路80を介して送る。一方、ある周辺回路が他の周辺回路からデータを読み出す場合は、読出し(R)を示す信号と読出し先(読出し対象)のアドレス情報(Address)を示す信号とを、ハブ回路80経由で読出し対象の周辺回路へ送る。そして、当該他の周辺回路から読み出されたデータは、P/S変換回路、ハブ回路80およびS/P変換回路を経由して、読出しを要求した周辺回路に送られる。このようにして、図1のバスエミュレーション装置90は、パラレルインタフェースを有する周辺回路19〜79間を相互に接続し、データ転送の中継を行う。

【0044】図3は、周辺回路と双方向バスドライバとの接続関係を示す参考図であり、本発明のバスエミュレーション装置に対比される構成を示す説明図である。図3では、周辺回路119は、双方向バスドライバ119Wを介してパラレルバスの信号線B1、B2、…に接続されている。同様に、周辺回路129、139は、双方向バスドライバ129W、139Wを介して信号線B1、B2、…に接続されている。なお、周辺回路119〜139、双方向バスドライバ119W〜139Wおよび信号線B1、B2、…の各接続関係は同様の構成を有しており、ここでは、周辺回路119、双方向バスドライバ119Wおよび信号線B1、B2、…の接続関係を例示して説明する。

【0045】双方向バスドライバ119Wは、バスドライバD1t、D2t、…と、バスレシーバD1r、D2r、…とを有する。バスドライバD1t、D2t、…の出力端子は、対応するバスレシーバD1r、D2rの入力端子と、対応する信号線B1、B2、…に接続されている。バスドライバD1t、D2t、…の出力信号は、対応する信号線B1、B2、…に出力される。バスレシーバD1r、D2r、…は、対応する信号線B1、B2、…からの信号が入力される。

【0046】バスドライバD1tは、3ステートドライバにより構成され、その入力端子には周辺回路119からデータ信号P1Q1が供給され、制御端子には周辺回路119から制御信号P1C1が供給される。バスレシーバD1rは、ドライバにより構成され、その出力信号P1R1を周辺回路119に供給する。

【0047】バスドライバD2tは、3ステートドライバにより構成され、その入力端子には周辺回路119からデータ信号P1Q2が供給され、制御端子には周辺回路119から制御信号P1C2が供給される。バスレシ

ーバD2rは、ドライバにより構成され、その出力信号P1R2を周辺回路119に供給する。

【0048】図3では、データ転送時では、双方バスドライバ119W〜139W、…のうち何れか1つの双方向バスドライバ内の各3ステートドライバがオン状態となり、他の双方向バスドライバを介して周辺回路119〜139、…の何れかにデータが転送されるようになっている。

【0049】図4は、双方向バスドライバを例示する回路図であり、図3の双方向バスドライバに代えて図4(A)または図4(B)に示す双方向バスドライバを用いることによって、周辺回路の間を接続可能である。なお、図4(A)および図4(B)の双方向バスドライバは、等価な回路である。

【0050】図4(A)の双方向バスドライバは、バスドライバE1tと、バスレシーバD1rと、プルアップ抵抗Ruとを有する。バスドライバE1tは、オープンドレインドライバであり、出力端子がバスレシーバD1rの入力端子、プルアップ抵抗Ruおよび信号線B1に接続されている。図4(A)の双方向バスドライバを信号線B1に対して並列に接続することで、信号Dがローレベルである場合に信号線B1をハイレベルに保持して信号Rをハイレベルにすることができ、信号Dがハイレベルである場合に信号線B1をローレベルに保持して信号Rをローレベルにすることができる。

【0051】図4(B)の双方向バスドライバは、バスドライバF1tと、バスレシーバD1rと、プルアップ抵抗Ruとを有する。バスドライバF1tは、3ステートドライバであり、出力端子がバスレシーバD1rの入力端子、プルアップ抵抗Ruおよび信号線B1に接続されている。図4(B)の双方向バスドライバを信号線B1に対して並列に接続することで、信号Dがローレベルである場合に信号線B1をハイレベルに保持して信号Rをハイレベルにすることができ、信号Dがハイレベルである場合に信号線B1をローレベルに保持して信号Rをローレベルにすることができる。

【0052】なお、3ステートドライバやオープンドレインドライバを用いたワイヤードオア接続では、複数のドライバが同一信号線に接続される。このため、効果的な終端や、信号経路の特性インピーダンスの平坦化が困難であり、信号波形に乱れが生じ易い。したがって、1対1接続の場合に比べ、1本の信号線当たりのデータ転送速度を高くすることが困難であり、転送速度を維持して長距離転送を行うことが困難である。また、信号を送出していない3ステートドライバやオープンドレインドライバは、容量負荷が大きいため、接続数の増加に伴って転送速度が低下する、という側面がある。

【0053】図5は、図1に示すバスエミュレーション装置90の一実施の形態を示す概略的な構成図である。図5の構成図において、シリアルインタフェース回路と

ハブ回路との間のクロック信号の送受は省略して描いてある。以下に、前記図3、図4に示したような既存の3ステートドライバ(トライステートドライバ)やオープンドレインドライバとバス配線の機能を、本発明の回路構成でそのままエミュレーションする手法を示す。なお、図5中の信号P1C1, P1Q1, P1R1, P1C2, P1Q2, P1R2は、図3における双方向バスドライバに接続された制御信号または送受信信号と同じものである。このバスエミュレーション装置90₁は、シリアルインタフェース回路10₁~30₁, ...と、シリアル転送路10S₁~30S₁, ...と、ハブ回路80₁とを有する。

【0054】なお、シリアルインタフェース回路10₁~30₁, ...は、対応する図1中のシリアルインタフェース回路10~30, ...の一例である。同様に、シリアル転送路10S₁~30S₁, ...は、対応する図1中のシリアル転送路10S~30S, ...の一例である。また、ハブ回路80₁は、図1中のハブ回路80の一例である。

【0055】シリアルインタフェース回路10₁~30₁, ...は、対応する周辺回路19₁~39₁, ...からの信号をパラレルデータからシリアルデータに変換してハブ回路80₁に転送する。

【0056】ハブ回路80₁は、シリアルインタフェース回路10₁~30₁, ...からのシリアルデータに基づき、周辺回路に供給する信号を選定するセレクト演算を行う。ハブ回路80₁は、 $P1R1 = P1C1 \times P1Q1 + P2C1 \times P2Q2 + P3C1 \times P3Q3 + \dots$ に示される演算を行う。また、 $P1R2 = P1C2 \times P1Q2 + P2C2 \times P2Q2 + P3C2 \times P3Q3 + \dots$ に示される演算を行い、P1R3, ...についても、同様の演算を行う。そして、ハブ回路80₁は、P1R1, P1R2, ...をシリアルデータとして各シリアル転送路10S₁~30S₁, ...に供給する。

【0057】シリアル転送路10S₁~30S₁, ...に接続されたシリアルインタフェース回路10₁~30₁, ...では、ハブ回路80₁からのシリアルデータをパラレルデータに変換して周辺回路19₁~39₁, ...に供給する。前記転送先の周辺回路は、当該信号P1R1, P1R2, ...を受け取る。例えば、転送先のアドレス情報を示す信号を転送先の周辺回路に送信することで、転送先の周辺回路に対してデータ転送を知らせることができる。上記したように、図3のような既存のバスでの1回の転送を、本発明の回路構成ではP/S変換、シリアル転送、ハブ回路での信号選択演算、シリアル転送、S/P変換という処理手順でエミュレーションができる。既存バスの一部で用いられる、オープンドレインドライバを用いたワイヤードオア演算も、図4(A), (B)に示す回路が等価な動作を行うことから、同様にして本発明の回路構成でエミュレーションを行うことが

できる。

【0058】ハブ回路80₁は、前記セレクト演算に際し、周辺回路19₁~39₁, ...を、データ転送を行う周辺回路同士でグループ分けしてもよい。例えば、ハブ回路80₁に対してシリアルデータを転送したシリアルインタフェース回路に基づき、転送先の周辺回路を絞り込み、絞り込まれた周辺回路に対応するセレクト演算を行う。このグループ分けにより、複数の分離されたバスが同時に存在するようなエミュレーションを行うことができ、複数のグループ間でのデータ転送を同時に行うことが可能である。また、セレクト演算の演算回数を減らして演算時間を短縮することが可能である。以上に説明したように、図3に示す信号線(バス)および当該バスに接続された双方向バスドライバを、ハブ回路80₁およびシリアルインタフェース回路10₁~30₁, ...により構成することが可能である。上記のハブ回路中の論理演算をダイナミックに変更することで、グループ分けもダイナミックに変更することができ、それぞれのグループ間では同時並行でデータ転送が可能である。

【0059】図6は、図1のバスエミュレーション装置90のハブ回路の一例を示す概略的な構成図である。以降では、前述のバスドライバ、バスレシーバ、バス配線のレベルではなく、アドレスを用いた転送という機能レベルで既存バスのエミュレーションを行う手法について述べる。このハブ回路80₂は、アドレス抽出回路181A, 182A, ..., 18NAと、バッファレジスタ181B, 182B, ..., 18NBと、転送先選択回路181C, 182C, ..., 18NCと、入力選択回路181D, 182D, ..., 18NDとを有する。

【0060】例えば、バッファレジスタ181Bの入力端子は、シリアル転送路10Sを介してシリアルインタフェース回路10に接続される。同様に、バッファレジスタ182B~18NB(但し、N=7)は、対応するシリアル転送路20S~70Sを介してシリアルインタフェース回路20~70に接続される。例えば、入力選択回路181Dの出力端子は、シリアル転送路10Sを介してシリアルインタフェース回路10に接続される。同様に、入力選択回路182D~18ND(但し、N=7)の出力端子は、対応するシリアル転送路20S~70Sを介してシリアルインタフェース回路20~70に接続される。なお、バッファレジスタ181B, 182B, ..., 18NBは、FIFO(First-In First-Out)により構成してもよい。

【0061】バッファレジスタ181B~18NB、アドレス抽出回路181A~18NA、転送先選択回路181C~18NC、および、入力選択回路181D~18NDの接続関係は、同様の構成となっている。そこで、バッファレジスタ181B、アドレス抽出回路181A、転送先選択回路181C、および、入力選択回路181D~18NDの間の接続関係を主に説明する。

【0062】バッファレジスタ181Bは、シリアルインタフェース回路10からシリアル転送路10Sを介してシリアルデータが供給され、当該シリアルデータを保持する。アドレス抽出回路181Aは、ハブ回路80₂に入力された前記シリアルデータから、転送先のアドレス情報を抽出する。具体的には、バッファレジスタ181Bに保持されたシリアルデータからアドレス情報を抽出する。

【0063】転送先選択回路181Cは、アドレス抽出回路181Aが抽出したアドレス情報に基づき、バッファレジスタ181Bに保持されているシリアルデータの転送経路を選択する。入力選択回路181D~18NDのうち前記アドレス情報に対応する入力選択回路は、転送先選択回路181Cからシリアルデータが入力され、入力されたシリアルデータをシリアル転送路を介してシリアルインタフェース回路に供給する。当該シリアルインタフェース回路には、前記アドレス情報に対応する転送先の周辺回路が接続されている。

【0064】ハブ回路80₂は、異なる転送経路(パス)を用いてデータ転送を同時に並行して行うことができる。なお、ハブ回路80₂では、同一転送先に対する複数の転送要求が生じる可能性がある。このような場合に対処するため、優先順位を予め定めておくか、または優先順位を決める制御回路を設けて、優先順位に基づいてデータ転送を行うことが望ましい。

【0065】図7は、図1のバスエミュレーション装置90のハブ回路の一例を示す概略的な構成図である。このハブ回路80₃は、図6のハブ回路80₂に対して、さらに制御回路280Pと、信号生成回路280と、検出回路281E~28NEとを設けた構成である。なお、図6のハブ回路80₂と同一構成部分には同一符号を付しており、同一構成部分の説明を適宜省略する。

【0066】ハブ回路80₃は、信号生成回路280と、制御回路280Pと、検出回路281E~28NEと、アドレス抽出回路181A~18NAと、バッファレジスタ181B~18NBと、転送先選択回路281C~28NCと、入力選択回路281D~28NDとを有する。

【0067】例えば、入力選択回路281Dの出力端子は、シリアル転送路10Sを介してシリアルインタフェース回路10に接続される。同様に、入力選択回路282D~28ND(但し、N=7)の出力端子は、対応するシリアル転送路20S~70Sを介してシリアルインタフェース回路20~70に接続される。

【0068】バッファレジスタ181B~18NB、アドレス抽出回路181A~18NA、検出回路281E~28NE、転送先選択回路281C~28NC、および、入力選択回路281D~28NDの接続関係は、同様の構成となっている。そこで、バッファレジスタ181B、アドレス抽出回路181A、検出回路281E、

転送先選択回路281C、および、入力選択回路281D~28NDの間の接続関係を主に説明する。

【0069】バッファレジスタ181Bは、シリアルインタフェース回路10からシリアル転送路10Sを介してシリアルデータが供給され、当該シリアルデータを保持する。アドレス抽出回路181Aは、ハブ回路80₃に入力された前記シリアルデータから、転送先のアドレス情報を抽出する。例えば、バッファレジスタ181Bに保持されたシリアルデータからアドレス情報を抽出する。

【0070】検出回路281Eは、ハブ回路80₃に入力された前記シリアルデータから、バースト転送の終了および/または割込みを示す情報を検出する。具体的には、バッファレジスタ181Bに保持されたシリアルデータから、バースト転送終了および/または割込みを検出し、検出信号を信号生成回路280に出力する。この検出回路281Eは、バースト転送終了を示すマーカーデータの検出に基づき、または、当該転送経路でのデータ転送が一定期間行われないことの検出に基づき、検出信号を信号生成回路280に出力する。

【0071】信号生成回路280は、検出回路281Eからの検出信号に基づき、バースト転送終了フラグまたは割込み信号を生成して制御回路280Pに供給する。制御回路280Pは、例えばハブ回路80₃の全体の制御を司り、信号生成回路280からのバースト転送終了フラグまたは割込み信号に基づき、優先順位を示す優先順位制御信号を入力選択回路281D~28NDに供給し、入力選択回路281D~28NDが転送先選択回路を選択する順位を制御する。

【0072】この制御回路280Pは、ラウンドロビン等の優先順位の決定アルゴリズムを、バースト転送終了フラグまたは割込み信号に基づいて一時的に変更し、変更された優先順位を示す優先順位制御信号を入力選択回路281D~28NDに供給する。一例として、バースト転送が異常終了した場合に、バースト転送を再度実行するときに、当該転送経路を最優先するような優先順位制御信号を生成する。制御回路280Pは、ハブ回路80₃内に設けてもよく、ハブ回路80₃の外部に設けてもよい。

【0073】転送先選択回路281Cは、アドレス抽出回路181Aが抽出したアドレス情報に基づき、バッファレジスタ181Bに保持されているシリアルデータの転送経路を選択する。入力選択回路281D~28NDのうち前記アドレス情報に対応する入力選択回路は、優先順位制御信号に従って転送先選択回路281Cを選択し、選択した転送先選択回路281Cからシリアルデータが入力され、入力されたシリアルデータをシリアル転送路を介してシリアルインタフェース回路に供給する。

【0074】ハブ回路80₃は、異なる転送経路(パス)を用いてデータ転送を同時に並行して行うことがで

きる。また、同一転送先に対する複数の転送要求が生じた場合に、優先順位に従ってデータ転送を行うことができる。また、周辺回路に対して優先順位を付与してデータ転送を行うことが可能である。

【0075】図6のハブ回路80₂ および/または図7のハブ回路80₃ において、複数の周波数のクロック信号を生成するクロック信号生成回路を設け、前記複数のクロック信号により、バッファレジスタ181B~18NBのシリアル転送速度を可変としてもよい。複数のクロック信号の選択は、一例として制御回路280Pで行い、クロック信号生成回路は、一例として複数の発振回路で構成する。バッファレジスタ181B~18NBのシリアル転送速度を可変とすることで、各シリアル転送路および各周辺回路の特性に応じてシリアル転送速度を設定することが可能であり、周辺回路が受信するデータの信頼性を向上可能である。

【0076】図6のハブ回路80₂ および/または図7のハブ回路80₃ において、データ転送の起動、終了、転送先のアドレス生成等を行うDMAコントローラを設けてもよい。例えば、ハブ回路80₂ 内またはハブ回路80₃ 内に、当該ハブ回路に接続される各シリアルインタフェース回路（または各周辺回路）に対応するDMAコントローラ（Direct Memory Access controller）を設け、転送元アドレス（ソースアドレス）、転送先アドレス（デスティネーションアドレス）、読出し制御信号、書込み制御信号、ワードカウンタ等を制御する構成としてもよい。当該DMAコントローラは、少なくとも2系統のデータ転送インタフェースを有し、前記2系統のうちの一方がデータ送信側周辺回路に対応し、前記2系統のうちの他方がデータ受信側周辺回路に対応する。ハブ回路内にDMAコントローラを設けることで、データ転送速度を向上可能である。

【0077】図6のハブ回路80₂ および/または図7のハブ回路80₃ において、クロック信号を生成する発振回路または外部装置からのクロック信号を送出する回路を設けてもよい。そして、ハブ回路からシリアルインタフェース回路に送出されたシリアルデータ転送用のクロック信号を、周辺回路が受け取り、周辺回路は、受け取ったクロック信号を当該周辺回路内のクロック信号として使用する構成としてもよい。

【0078】このようにしてクロック信号を共通にして使用することで、ハブ回路と周辺回路との間で正確な同期を図ることができると共に、クロック信号を受け取る周辺回路ではクロック信号用の発振回路を不要とすることができる。なお、定常的なクロック信号がハブ回路から周辺回路に供給される場合は、そのまま当該周辺回路で使用する構成としてもよい。間欠的なクロック信号がハブ回路から周辺回路に供給される場合は、そのまま当該周辺回路で使用してもよく、または周辺回路は、間欠的なクロック信号に基づいてクロック再生回路でクロッ

ク信号を再生して使用する構成としてもよい。

【0079】図8は、図1のバスエミュレーション装置90のシリアルインタフェース回路の一例を示す概略的な構成図である。このシリアルインタフェース回路10₁ は、P/S変換回路111と、転送制御回路112と、応答フラグ検出回路114と、S/P変換回路118とを有する。例えば、シリアルインタフェース回路10₁ は、パラレル転送路19Pを介して周辺回路19に接続され、シリアル転送路10Sを介してハブ回路80に接続される。

【0080】P/S変換回路111は、周辺回路19からの書込み制御信号WEと書込みデータとに基づき、パラレルデータからなる書込みデータを生成してハブ回路80に供給する。S/P変換回路118は、ハブ回路80からの信号に基づき、パラレルデータからなる読出しデータ、読出しデータの存在を示す信号（Data-Exist）、応答フラグ（応答信号）ACK等を周辺回路19に供給する。

【0081】応答フラグ検出回路114は、ハブ回路80からS/P変換回路118に供給されたデータの中から応答信号ACKを検出し、フラグ検出信号を転送制御回路112に供給する。転送制御回路112は、シリアルインタフェース回路10₁ の送信制御および受信制御を行う回路であり、カウンタ113を有する。転送制御回路112は、カウンタ113のカウント値に基づき、P/S変換回路111の送信制御およびS/P変換回路118の受信制御を行う。

【0082】カウンタ113は、ハブ回路80内のバッファ（バッファレジスタ）中のデータ数を計数する。このカウンタ113は、データ送信毎にカウント値を1だけ増加させ、バッファが満杯になる値でカウンタ113はキャリー信号を生成する。このキャリー信号は、バッファフル信号（Buffer-Full）としてデータ送出側の周辺回路へ送られ、当該周辺回路でのデータ送信はバッファの空きができるまで一時中断される。カウンタ113は、バッファの容量が1つ空いたことを示す応答信号ACKをフラグ検出回路114が検出すると、カウント値を1だけ減少させ、キャリー信号の出力を停止する。このようにして、ハブ回路80内のバッファとシリアルインタフェース回路10₁ との間のハンドシェーキング方式のデータ転送が可能となる。

【0083】キャッシュ機構

図9は、図1のバスエミュレーション装置90内のシリアルインタフェース回路において、周辺回路からの信号が入力される部分からP/S変換回路に到るまでの部分的な構成を例示する概略的な部分構成図である。

【0084】このシリアルインタフェース回路10₂ は、書込制御回路212と、キャッシュメモリ213と、比較回路214と、選択回路215と、P/S変換回路211とを有する。シリアルインタフェース回路1

0₂ は、キャッシュ機構によりデータ転送の効率化を図っている。

【0085】シリアルインタフェース回路10₂を用いたバスエミュレーション装置では、一例として、アドレス情報および／または転送データをシリアルインタフェース回路10₂とハブ回路80の双方でそれぞれに設けたキャッシュメモリにオーバーライトコピーしておく。そして、転送開始前にキャッシュメモリ内に転送に使うのと同じアドレス情報またはデータが有るか否かを調べ、もしあればアドレス情報やデータそのものではなく、当該キャッシュメモリへのポインタ値を送る。通常、アドレス情報やデータの転送とポインタ値の転送とを区別するため、シリアルデータの先頭部にフラグビットを設ける。

【0086】例えば、書込制御回路212には、周辺回路から転送データおよび書込制御信号WEが供給されると共に、比較回路214の出力信号が供給される。書込制御回路212は、書込制御信号WEおよび比較回路214の出力信号に基づき、周辺回路からの転送データをキャッシュメモリ213に書き込む。キャッシュメモリ213は、書込制御回路212が書き込んだ転送データを一時的に保持して比較回路214に供給する。比較回路214は、周辺回路からの転送データとキャッシュメモリ213からの転送データ（キャッシュデータ）とを比較し、比較結果を示す信号を選択回路215に出力する。

【0087】比較回路214での比較の結果、周辺回路からの転送データとキャッシュデータとが一致する場合、すなわちキャッシュにヒットした場合、比較回路214は一致箇所を示すポインタ値を選択回路215に出力する。選択回路215は、当該ポインタ値をP/S変換回路211に出力すると共に、シリアルデータの先頭部にポインタ値の送出を示すフラグをセットする。P/S変換回路211は、ポインタ値とフラグとを出力することで、データを圧縮して転送することができる。そして、ハブ回路80では、フラグおよびポインタ値に基づいてハブ回路内のキャッシュメモリから同一データを抽出し、抽出したデータをハブ回路内のバッファレジスタに複写することで、データ転送速度を向上可能である。

【0088】比較回路214での比較の結果、周辺回路からの転送データとキャッシュデータとが一致しない場合、すなわちキャッシュにヒットしない場合、比較回路214は不一致を示す不一致信号を選択回路215に出力する。選択回路215は、不一致信号に基づいて周辺回路からの転送データをP/S変換回路211に出力する。また、書込制御回路212は、不一致信号に基づいて周辺回路からの転送データをキャッシュメモリ213にオーバーライトする。

【0089】図9のシリアルインタフェース回路10₂において、比較回路214は、周辺回路からの転送デ

ータとキャッシュデータとを比較する場合に、キャッシュデータに対して1だけ加算および／または減算した演算データを生成し、生成した演算データについても比較も行う。周辺回路からの転送データと演算データとが一致した場合は、±1の演算を示すフラグをP/S変換回路211のシリアルデータの先頭部にセットする。例えば、アドレス情報や単調なデータの場合は、前回の転送データとは±1だけ異なることがあり、このような場合にデータ転送の効率化を図ることができる。

【0090】なお、シリアル転送時に、最初に送受信側の双方で1フレームの長さを固定して決めた場合に、1フレーム分のデータをシリアル転送していく途中で残りの送信ビット列が前回と同じになったとき、フレーム終了信号を送って1フレームの送信を終了する。そして、受信側では、足りない残りのビット列を、前回受信のデータから取り出す構成としてもよい。このように、1フレームのシリアル転送途中で後続データが前回のデータと同じである場合、1フレームの送信を途中で中断し、受信側は前回分から残りビットを持ってくることで、データ転送の効率化を図ることができる。

【0091】また、P/S変換回路211は、頻繁に使用されるポートのアドレス情報や高転送速度が必要なポートのアドレス情報をパラレル/シリアル変換する場合に、他のアドレス情報に比べて短いパターンを割り付けることで、短いデータ長のアドレスシリアルデータを生成する構成としてもよい。アドレス情報のシリアルデータ長を短くすることで、データ転送の効率化を図ることができる。

【0092】図10は、図1のバスエミュレーション装置90内のシリアルインタフェース回路において、ハブ回路80からの信号が入力される部分からパラレルデータを復元するまでの部分的な構成を例示する概略的な部分構成図である。このシリアルインタフェース回路10₃は、書込制御回路217と、キャッシュメモリ219と、選択回路216と、S/P変換回路218とを有する。シリアルインタフェース回路10₃は、キャッシュ機構によりデータ転送の効率化を図っている。

【0093】シリアルインタフェース回路10₃を用いたバスエミュレーション装置では、アドレス情報および／または転送データをシリアルインタフェース回路10₃、10₂の双方でそれぞれのキャッシュメモリにオーバーライトコピーしておく。シリアルインタフェース回路10₂、10₃の間は、ハブ回路80を介して転送経路が形成されている。S/P変換回路218には、ハブ回路80からのシリアルデータが供給され、供給されたデータをパラレルデータに変換して選択回路216および書込制御回路217に供給する。

【0094】書込制御回路217は、S/P変換回路218からのパラレルデータ、S/P変換回路218にデータが存在することを示す存在信号（Data-Exist）、前

記フラグおよびポインタ値が供給される。書込制御回路217は、存在信号、前記フラグおよびポインタ値に基づき、S/P変換回路218の出力データをキャッシュメモリ219に書き込む。キャッシュメモリ219は、書込制御回路217が書き込んだ転送データを一時的に保持して選択回路216に供給する。

【0095】選択回路216は、前記フラグがポインタ値の存在を示す場合、すなわちキャッシュにヒットした場合に、当該ポインタ値に基づき、キャッシュメモリ219に保持された転送データ（キャッシュデータ）からポインタ値に対応する箇所を抽出して復元データを生成し、当該復元データをパラレルデータとして周辺回路に送る。

【0096】一方、選択回路216は、前記フラグがポインタ値の不在を示す場合、すなわちキャッシュにヒットしなかった場合に、S/P変換回路218からのパラレルデータを選択して周辺回路に送る。また、書込制御回路217は、S/P変換回路218からのパラレルデータをキャッシュメモリ219にオーバーライトする。

【0097】シリアルインタフェース回路10において、フラグが±1の演算を示す場合は、書込制御回路217は、キャッシュデータに対して±1の演算を施し、前記演算データと同じデータが選択回路216で選択されて周辺回路に供給される。

【0098】なお、ハブ回路は、転送元のシリアルインタフェース回路からシリアル転送路を介して供給された今回のシリアルデータが前回のシリアルデータと同一または略同一である場合に、前記同一または略同一であることを示すフラグを生成する。そして、転送先の周辺回路に接続されたシリアルインタフェース回路10は、前記ハブ回路からの前回のシリアルデータに対応する前回のパラレルデータを保持するキャッシュメモリ219に保持されたパラレルデータと前記フラグとに基づいて今回のパラレルデータを生成する構成としてもよい。

【0099】テスト
バスエミュレーション装置90において、シリアルインタフェース回路内にS/P変換回路の出力信号をP/S変換回路の入力信号にする切替回路を設け、ハブ回路とシリアルインタフェース回路との間でループを形成し、データ転送のテストを行うことができる。この場合、1つのシリアル転送路（単方向信号伝送経路×2）でループを形成し、シリアル転送路上に複数の転送速度でデータを送出して受信し、データエラーを検出する。テスト結果に基づき、最適な転送速度および/または転送用クロック周波数を検出して使用する。

【0100】具体的には、以下のようにして転送テストを行う。シリアルインタフェース回路とハブ回路との間で通信する場合に、データの種別をあらわすフラグを付加し、その種別の中に転送テストの開始または終了を示すフラグ形式を用意する。システムのイニシャルリセッ

ト後などにハブ回路内、または外部のシステム制御を行う回路がハブ回路を経由してシリアルインタフェース回路に転送テスト開始のフラグを送信する。転送テストのフラグを受信したシリアルインタフェース回路は、S/P変換回路で生成したパラレルデータをP/S変換回路でシリアルデータに変換して送信するテストモードとなる。

【0101】このテストモードでは、ハブ回路から送出されたシリアルデータがUターンしてハブ回路に戻ってくるテスト機構が構成される。そこでハブ回路から複数の転送レートでシリアルデータを送信し、返送されたシリアルデータを受信し、送受信した両シリアルデータ間にデータエラーがあるか否かを検出する。また、シリアルインタフェース回路やハブ回路の入出力部（I/O部）に、遅延やスルーレイト、しきい電圧 V_{th} 、終端抵抗値、送受信クロック周波数などの調整機構が付いている場合に、前述のテスト機構を用いて適切な条件を検出し、それらの調節を行う。なお、ハブ回路80は、データ転送の空き時間に、前記複数のシリアルインタフェース回路10～70とハブ回路80との接続テストや自己テストを行う構成としてもよい。

【0102】ハブ回路80に、デバッグやテストのためのデータ転送状態を監視するモニタ回路を設けてもよい。このモニタ回路は、シリアルインタフェース回路との間でデータを送受している各ポートの移動状況を監視（スヌープ）する機能を持ち、ハブ回路内の制御回路、または外部のシステム制御回路の指示に従って監視して報告する。例えば、バッファレジスタの移動状況を監視して報告し、または、検出回路281E～281NEの出力信号もしくは信号生成回路280の出力信号を監視し、転送制御やエラーリカバリー等を行う制御回路および/またはコントロールシステムに報告する。

【0103】ハブ回路80に、仮想ポートエミュレーション機能を設けてもよい。例えば、デバッグ時ににおいて、特定の接続ポートが他の接続ポートまたは実在しない仮想の接続ポートに成りすましてデータ転送を行う仮想ポートエミュレーション機能を、ハブ回路内に設ける。具体的には各接続ポートのポートアドレス切替機構を設ける（各ポートのポートアドレスを決めるためのレジスタを設け、初期設定で切替えてできるようにする）。ハブ回路80は、デバッグ時ににおいて、前記複数のシリアルインタフェース回路10～70のうちで特定のシリアルインタフェース回路からのシリアルデータを、当該シリアルデータ内のアドレス情報が示す転送先の周辺回路とは異なる周辺回路に接続されたシリアルインタフェース回路に対して供給する構成としてもよい。

【0104】図11は、図1のバスエミュレーション装置90内のハブ回路およびシリアルインタフェース回路の一例であって、転送経路の終端用の複数のトランジスタを有するシリアルインタフェース回路を例示する概略

的な構成図である。ハブ回路80₄は、異なる複数の周波数のクロック信号CLK1~CLKNを生成する発振回路C1~CNと、セレクトスLとを有し、不図示の制御回路からの選択制御信号によりセレクトスLはクロック信号CLK1~CLKNから特定のクロック信号を選択してバスドライバ80Dに供給する。

【0105】シリアルインタフェース回路10₄は、ハブ回路80₄内のバスドライバ80Dから送信されたクロック信号を受けるバスレシーバ10Rを有する。バスレシーバ10Rの入力側には、並列接続された複数のトランジスタが接続されている。なお、バスレシーバ10Rは、クロック信号に代えてシリアルデータを受信するバスレシーバとしてもよい。

【0106】nチャネル型電界効果トランジスタ (Pch Tr) のソースが接地されてアース電位GNDとなっており、ドレインはバスレシーバ10Rの入力側に接続されており、ゲートにはシリアルインタフェース回路10₄内の不図示の制御回路から終端抵抗値の制御信号が供給されている。pチャネル型電界効果トランジスタ (Nch Tr) のソースには電源電圧V_{DD}が供給され、ドレインはバスレシーバ10Rの入力側に接続されており、ゲートにはシリアルインタフェース回路10₄内の制御回路から終端抵抗値の制御信号が供給されている。終端抵抗値の制御信号により複数のトランジスタを選択的にオン状態に設定し、バスレシーバ10Rの終端抵抗値を設定可能である。

【0107】なお、シリアルインタフェース回路10₄のバスドライバから送出されたシリアルデータを受けるハブ回路80₄内のバスレシーバについても、図11のように、バスレシーバの入力側に複数のトランジスタを並列接続して選択的にオン状態に設定して終端抵抗値を設定することが可能である。

【0108】図12は、図1のバスエミュレーション装置90におけるシリアルインタフェース回路とハブ回路との接続形態を例示する概略的な構成図である。シリアルインタフェース回路10₅は、P/S変換回路511と、S/P変換回路518と、バスドライバ511C、511Dと、バスレシーバ518C、518Dとを有する。シリアルインタフェース回路10₅とハブ回路80₅は、シリアル転送路10S₅を介して接続されている。

【0109】バスドライバ511Cは、P/S変換回路511からのクロック信号をハブ回路80₅内のバスレシーバ581Cに送る。バスドライバ511Dは、P/S変換回路511からのシリアルデータをハブ回路80₅内のバスレシーバ581Dに送る。バスレシーバ518Cは、ハブ回路80₅内のバスドライバ588Cからのクロック信号を受け取る。バスレシーバ518Dは、ハブ回路80₅内のバスドライバ588Dからのシリアルデータを受け取る。

【0110】主電源配線 (Main Power line) は、シリアルインタフェース回路10₅とハブ回路80₅とに対して電源電圧を供給する。バスドライバ駆動用およびバスレシーバ駆動用の電源電圧を供給する電源配線 (I/O Power line) は、バスドライバ511C、511D、588C、588Dおよびバスレシーバ518C、518D、581C、581Dの電源端子に接続されている。

【0111】シリアル転送路10S₅において、駆動用電源配線 (I/O Power line) は、接地用の配線と共に、シリアル転送路10S₅の信号線のシールドとして使用されている。また、この共通の電源配線からの同一の電源電圧をバスドライバ511C、511D、588C、588Dに使用することで、異なる電源電圧のICチップ間でのシリアルデータの送受における消費電力の削減が可能であり、信号の低振幅化による消費電力の削減が可能である。

【0112】バスレシーバ518C、518D、581C、581Dは、差動増幅回路からなり、非反転入力端子には信号線が接続されており、反転入力端子には駆動用電源配線 (I/O Power line) の電源電圧を分圧して生成した電圧が供給されており、差動増幅回路はシリアル転送路10S₅からのシリアルデータを受け取って出力する。

【0113】前記駆動用電源配線からのドライブ用電源電圧を、シリアルインタフェース回路10₅側では抵抗R11、R12で分圧し、ハブ回路80₅側では抵抗R81、R82で分圧し、分圧で生成した電圧 (Reference Voltage) をシリアルデータの入力閾値として使用することで、共通の電源電圧を用いたデータ送受が可能である。なお、ドライブ用電源電圧をスイッチドキャパシタ演算で分圧し、シリアルデータの信号入力時に入力閾値として使用することも可能である。

【0114】図13は、図1のバスエミュレーション装置90におけるシリアル転送路を例示する概略的な構成図である。シリアルインタフェース回路10₅内のバスドライバ911Dは、シリアルデータをシリアル転送路10S₅を介してハブ回路80₅内のバスレシーバ981Dに送る。このシリアル転送路10S₅では、直列接続されたコンデンサC93および終端抵抗素子R93を受信端またはその近傍に接続して終端し、さらにはシリアルデータが通過する信号線を接地電位GNDの配線によってシールドしている。コンデンサC93および終端抵抗素子R93により、信号線がハイレベルの時に、終端抵抗から接地線に電流が流れることを防止することができ、データ転送時の消費電力を低減可能である。

【0115】なお、入出力セル (I/Oセル) として、差動入力を行う入力回路と、複数のシングル入力および1つの基準電圧入力を行う回路とを、切り替える回路を入出力部に設けてもよい。また、シングル出力と、差動出力またはマルチドライブ出力とを切り替える回路を入

出力部に設け、スルーレート (slew rate) の調整および入出力ピンの有効活用を図ってもよい。

【0116】図14は、図1のバスエミュレーション装置90におけるシリアルインタフェース回路とハブ回路との接続形態を例示する概略的な構成図である。シリアルインタフェース回路10₆は、P/S変換回路611と、S/P変換回路618と、バスドライバ611C、611Dと、バスレシーバ618C、618Dと、レジスタ619とを有する。シリアルインタフェース回路10₆とハブ回路80₆は、シリアル転送路10Sを介して接続されている。

【0117】バスドライバ611Cは、P/S変換回路611からのクロック信号をハブ回路80₆内のバスレシーバ681Cに送る。バスドライバ611Dは、P/S変換回路611からのシリアルデータをハブ回路80₆内のバスレシーバ681Dに送る。バスレシーバ618Cは、ハブ回路80₆内のバスドライバ688Cからのクロック信号を受け取る。バスレシーバ618Dは、ハブ回路80₆内のバスドライバ688Dからのシリアルデータを受け取る。

【0118】主電源配線 (Main Power line) は、シリアルインタフェース回路10₆とハブ回路80₆とに対して電源電圧を供給すると共に、バスドライバ駆動用およびバスレシーバ駆動用の電源電圧を供給する。この主電源配線は、バスドライバ611C、611D、688C、688Dおよびバスレシーバ618C、618D、681C、681Dの電源端子に接続されている。

【0119】ハブ回路80₆は、I/O用電源電圧または入力基準電源電圧を主電源配線を介してシリアルインタフェース回路10₆に供給する。但し、ハブ回路80₆の交流電源がダウンした場合等の電源障害が発生した場合は、主電源配線からの電源電圧に代えてバックアップ用の電源電圧 (バックアップ用電力) が、不図示のバッテリーから供給される。バッテリーと主電源配線との間には、ダイオードD61、D62が接続されており、電流の逆流を防止している。

【0120】バックアップ用の電源電圧により、周辺チップ (シリアルインタフェース回路内のICチップ) 内のレジスタ619でICチップの識別信号および/または暗号キーを保持し、この識別信号および/または暗号キーを通信用の暗号化またはデコードに用いる。なお、レジスタ619に代えてRAM (Random Access Memory) を用いてもよい。

【0121】暗号化と復号化

P/S変換回路内およびS/P変換回路内のシフトレジスタに排他的論理和 (EXOR) やセクタなどを付加してP/S変換回路が転送データの暗号化を行い、S/P変換回路が転送データの復号化を行う構成としてもよい。図15は、図1のバスエミュレーション装置90におけるシリアルインタフェース回路内のP/S変換回路

の一例を示す回路図である。

【0122】このP/S変換回路11₁は、セクタ710~718と、D型フリップフロップ (DFF) 720~728と、反転回路729と、論理積回路731、741と、排他的論理和回路 (EXNOR) 740と、フリップフロップ (FF) 730とを有する。パラレルデータD0~D8、開始信号XLD、出力許可信号OUTEN、および、クロック信号CKは、一例として、P/S変換回路11₁に接続された周辺回路から供給され、またはP/S変換回路11₁を有するシリアルインタフェース回路内の制御回路から供給される。

【0123】セクタ710~718は、暗号化の開始信号XLDが入力端子Sに供給され、開始信号XLDがローレベルの時は入力端子Aに供給される信号を選択して出力端子Xに出力し、開始信号XLDがハイレベルの時は入力端子Bに供給される信号を選択して出力端子Xに出力する。セクタ710~718の入力端子Aには、対応するパラレルデータD0~D8が供給される。セクタ711~718の入力端子Bには、対応するDFF720~727の出力端子Qから出力信号が供給される。

【0124】DFF720~728の入力端子Dには、対応するセクタ710~718の出力端子Xから出力信号が供給される。DFF720~728のクロック入力端子には、クロック信号CKが供給される。排他的論理和回路740は、DFF724、728の出力信号が供給され、供給された信号の排他的論理和の否定値をセクタ710の入力端子Bに供給する。

【0125】FF730は、出力許可信号OUTENが入力端子Dに供給され、出力端子Qから出力信号を論理積回路731に供給する。FF730は、クロック信号CKがハイレベルの時に、出力許可信号OUTENをラッチし、ラッチした値を出力端子Qから論理積回路731に供給する。反転回路729は、クロック信号CKを反転し、反転された信号をFF730の入力端子Gおよび論理積回路731に供給する。論理積回路731は、反転回路729の出力信号とFF730の出力信号との論理積を演算し、演算結果を転送用クロック信号SCKとして出力する。

【0126】論理積回路741は、DFF728の出力信号と出力許可信号OUTENとが供給され、出力許可信号OUTENがハイレベルの時にDFF728の出力信号を出力信号SOとして出力する。出力信号SOは、暗号化されたシリアルデータである。P/S変換回路11₁では、開始信号XLDがハイレベルの時に、DFF720~728に保持されているデータを、クロック信号CKにより循環させて暗号化している。開始信号XLDがハイレベルになってから出力許可信号OUTENがハイレベルになるまでのクロック信号CKのパルス数 (またはクロック周期) が暗号キーに対応し、例えばバ

ルス数を10とする。

【0127】図16は、図1のバスエミュレーション装置90におけるシリアルインタフェース回路内のS/P変換回路の一例を示す回路図である。このS/P変換回路18₁は、セクタ810～818と、DFF820～828、830～838と、排他的論理和回路840と、論理和回路819とを有する。なお、図16中の信号OUTEN、クロック信号DECK、ロード信号DECLDは、一例として、S/P変換回路18₁を有するシリアルインタフェース回路内の制御回路から供給する。

【0128】セクタ810～818は、信号OUTENが入力端子Sに供給され、信号OUTENがハイレベルの時は入力端子Bに供給された信号を選択して出力端子Xに出力し、信号OUTENがローレベルの時は入力端子Aに供給された信号を選択して出力端子Xに出力する。セクタ810の入力端子Bには、シリアルデータSOが供給される。セクタ811～818の入力端子Bには、対応するDFF820～827の出力端子Qから出力信号が供給される。セクタ810～817の入力端子Aには、対応するDFF821～828の出力端子Qから出力信号が供給される。

【0129】論理和回路819は、転送用クロック信号SCKとデコード用クロック信号DECKとの論理和を演算し、演算結果をDFF820～828のクロック入力端子に供給する。排他的論理和回路840は、DFF820の出力信号とDFF825の出力信号との排他的論理和の否定値を、セクタ818の入力端子Aに供給する。

【0130】DFF830～838の入力端子Dには、対応するDFF820～828の出力信号が供給され、クロック入力端子にはデコード用クロック信号DECKが供給され、出力端子Qからの出力信号DEC0～DEC8をパラレルデータとして出力する。

【0131】DFF820～828は、信号OUTENがハイレベルの時に、シリアルデータSOをクロック信号SCKに基づいてラッチする。次に、信号OUTENがローレベルとなり、DFF820～828に保持されているデータを、クロック信号DECKにより循環させて復号化する。このデコード用クロック信号DECKのパルス数は、暗号キーに対応しており、図15のP/S変換回路11₁での暗号化時に用いたパルス数10を用いる。この場合、クロック信号DECK中のパルス数が10になると、ロード信号DECLDがパルス状にハイレベルになり、DFF820～828に保持されているデータはDFF830～838にコピーされ、パラレルデータDEC0～DEC8が生成される。図17は、図15のP/S変換回路11₁および図16のS/P変換回路18₁の動作を示す概略的なタイムチャートである。

【0132】以上のようにして、P/S変換回路11₁内およびS/P変換回路18₁内のシフトレジスタに、排他的論理和回路やセクタ等を付加してリニアフィードバックシフトレジスタ(LFSR)を構成し、LFSRを用いて暗号化および復号化を行うことができる。S/P変換回路18₁内のLFSRとP/S変換回路11₁内のLFSRは、互いに逆演算を行う。

【0133】P/S変換回路11₁では、P/S変換用にロードしたデータD0～D8に対し、P/S変換前にシフトレジスタ720～728をLFSR構成にしてNクロック回(例えばN=10)だけLFSRを動作させてデータを暗号化し、その後にP/S変換してシリアルデータSOを送信する。S/P変換回路18₁では、シリアルデータをすべて受け取った後、S/P変換用のシフトレジスタ820～828をP/S変換側とは逆演算を行うLFSRに切り替え、前記Nクロック回だけLFSRを動作させて復号化してデータを復元する。なお、LFSR構成を複数設けて切り替えたり、前記Nを切り替えたりすることで、暗号強度を向上可能である。

【0134】P/S変換、S/P変換およびデータ転送の動作周波数は、シリアル転送路の特性等によって低く設定されることがあるが、上記LFSR動作はシフトレジスタ(シフタ)およびフィードバック用ゲートが動作してデータを巡回すれば良いので高速動作が可能である。そこで、複数のクロック信号を用いる構成とし、LFSR構成時では、シリアルデータの送信動作時および/またはシリアルデータの受信動作時よりも高い周波数のクロック信号でLFSRを動作させることで、暗号化および復号化の演算速度を向上可能である。

【0135】図1、図2、図5、図6等に示すような構成とすることで、複数のデータ転送要求がある場合に、同時に並行して処理可能である。また、転送帯域幅の確保が容易であり、転送要求から転送終了までの待ち時間を短縮可能であり、待ち時間の予測が容易になる。

【0136】図1、図2、図5、図11、図12、図13等に示すような構成とすることで、従来のバス配線に比べて信号本数や信号振幅を小さくすることができ、電磁妨害(EMI: Electromagnetic interference)を低減可能である。また、周辺回路間の距離が長い場合に、特性インピーダンスを一定として終端することで、データ転送速度を向上可能である。

【0137】図1、図2、図5等に示すような構成とすることで、従来のバス配線に比べて、配線面積を減らすことが可能である。また、シリアルインタフェース回路を周辺回路に組み込むことで、ICチップやコネクタのピン数を削減可能である。また、テストや転送エラー発生時における問題発生部を、トポロジ的に容易に切り離し可能である。

【0138】図1、図2、図5、図12、図13等に示すような構成とすることで、転送速度を落とさずに、周

辺回路の接続数を増加させることが可能である。図8、図9、図10等に応示するような構成とすることで、シリアル転送の効率を向上可能である。

【0139】図14、図15、図16、図17等に応示するような構成とすることで、著作権等を有するデータのデータ転送のセキュリティ性を向上可能である。図1、図2、図8、図9、図10等に応示するような構成とすることで、消費電力を削減可能である。図1、図2、図11等に応示するような構成とすることで、部品点数やICチップ数を削減可能である。

【0140】図1、図2、図5、図11等に応示するような構成とすることで、高速転送を要求する周辺回路と、高速転送を要求しない周辺回路とに対し、シリアル転送路の実装形態を最適化することが可能である。例えば、シリアルデータ転送速度、シリアル転送路の本数、差動入力の有無、終端の有無、配線形状の選択等について、最適化を図ることが可能である。

【0141】なお、上記実施の形態は本発明の例示であり、本発明は上記実施の形態に限定されない。

【0142】

【発明の効果】以上に説明したように、本発明によれば、LSIまたはプリント回路板に搭載されるバスエミュレーション装置であって、パラレルバスと置換え可能なバスエミュレーション装置を提供することができる。また、本発明によれば、周辺回路間でのデータ転送中に、他の周辺回路間でデータ転送を可能とするバスエミュレーション装置を提供することができる。

【図面の簡単な説明】

【図1】本発明に係るバスエミュレーション装置を示す概略的な構成図である。

【図2】図1のバスエミュレーション装置90において、周辺回路、シリアルインタフェース回路およびハブ回路の間の接続関係を示す概略的な構成図である。

【図3】周辺回路と双方向バスドライバとの接続関係を示す参考図であり、本発明のバスエミュレーション装置に対比される構成を示す説明図である。

【図4】双方向バスドライバを例示する回路図である。

【図5】図1に示すバスエミュレーション装置の一実施の形態を示す概略的な構成図である。

【図6】図1のバスエミュレーション装置内のハブ回路の一例を示す概略的な構成図である。

【図7】図1のバスエミュレーション装置内のハブ回路の一例を示す概略的な構成図である。

【図8】図1のバスエミュレーション装置内のシリアルインタフェース回路の一例を示す概略的な構成図である。

【図9】図1のバスエミュレーション装置内のシリアルインタフェース回路において、周辺回路からの信号が入力される部分からP/S変換回路に到るまでの部分的な構成を例示する概略的な部分構成図である。

【図10】図1のバスエミュレーション装置内のシリアルインタフェース回路において、ハブ回路からの信号が入力される部分からパラレルデータを復元するまでの部分的な構成を例示する概略的な部分構成図である。

【図11】図1のバスエミュレーション装置内のハブ回路およびシリアルインタフェース回路の一例を示す概略的な構成図である。

【図12】図1のバスエミュレーション装置におけるシリアルインタフェース回路とハブ回路との接続形態を例示する概略的な構成図である。

【図13】図1のバスエミュレーション装置におけるシリアル転送路を例示する概略的な構成図である。

【図14】図1のバスエミュレーション装置におけるシリアルインタフェース回路とハブ回路との接続形態を例示する概略的な構成図である。

【図15】図1のバスエミュレーション装置におけるシリアルインタフェース回路内のP/S変換回路の一例を示す回路図である。

【図16】図1のバスエミュレーション装置におけるシリアルインタフェース回路内のS/P変換回路の一例を示す回路図である。

【図17】図15のP/S変換回路および図16のS/P変換回路の動作を示す概略的なタイムチャートである。

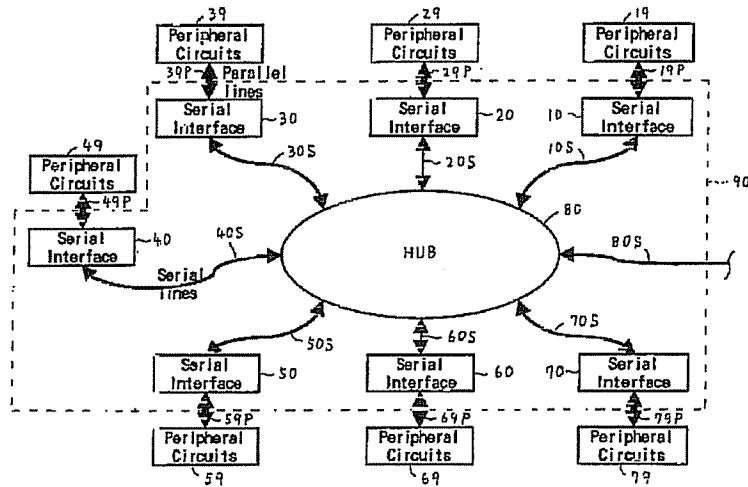
【符号の説明】

10~70...シリアルインタフェース回路、10R、618C、618D、681C、681D、981D...バススレーバ、10S~80S...シリアル転送路、11、111、211、511、611...P/S変換回路（パラレル/シリアル変換回路）、18、118、218、518、618...S/P変換回路（シリアル/パラレル変換回路）、19~79、119~139...周辺回路、19P~79P...パラレル転送路、80...ハブ回路（HUB）、80D、511C、511D、588C、588D、611C、611D、688C、688D、911D...バスドライバ、90...バスエミュレーション装置、112...転送制御回路、113...カウンタ、114...フラグ検出回路、119W~139W...双方向バスドライバ、181A~18NA...アドレス抽出回路（抽出回路）、181B~18NB...バッファレジスタ、181C~18NC、281C~28NC...転送先選択回路（選択回路）、181D~18ND、281D~28ND...入力選択回路（選択回路）、212、217...書込制御回路、213、219...キャッシュメモリ、214...比較回路、215、216、710~718、810~818、SL...セクタ、280...信号生成回路、280P...制御回路、281E~28NE...検出回路、518C、518D、581C、581D...バススレーバ（差動増幅回路）、619...レジスタ、720~728、820~828、830~838...D型フリップフ

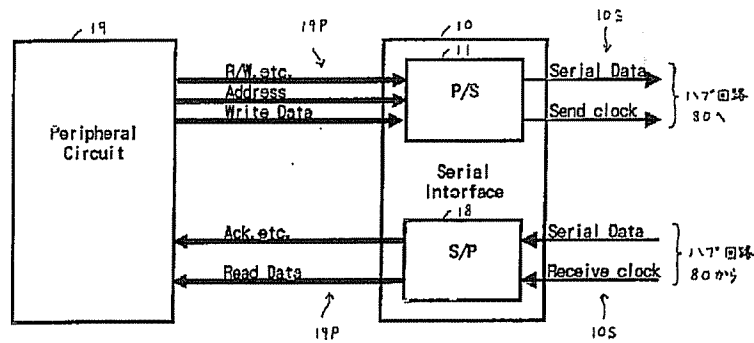
ロップ (DFF)、B1、B2…信号線、C1～CN…
発振回路、C93…コンデンサ、D0～D8、DEC0
～DEC8…パラレルデータ、D61、D62…ダイオ
ード、GND…接地電位、Pch Tr, NchTr…トラ

ンジスタ (終端抵抗)、R11, R12, R81, R8
2…抵抗 (分圧抵抗)、R93…終端抵抗素子、Ru…
プルアップ抵抗、SO…シリアルデータ。

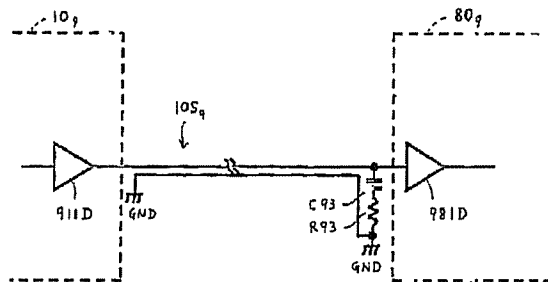
【図1】



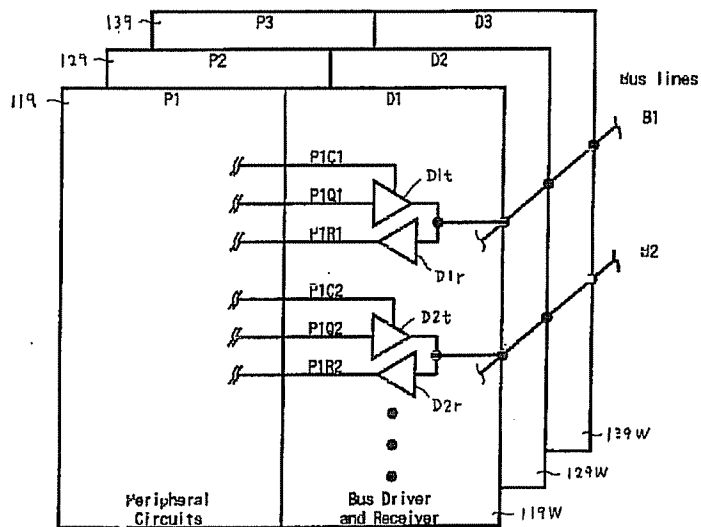
【図2】



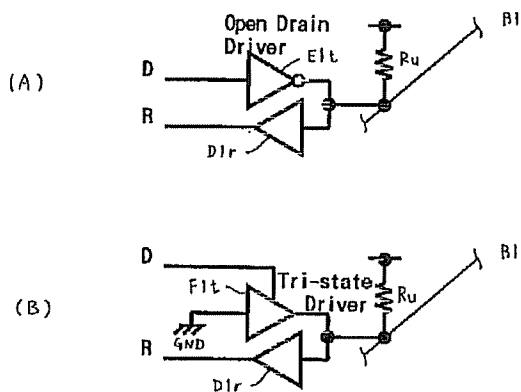
【図13】



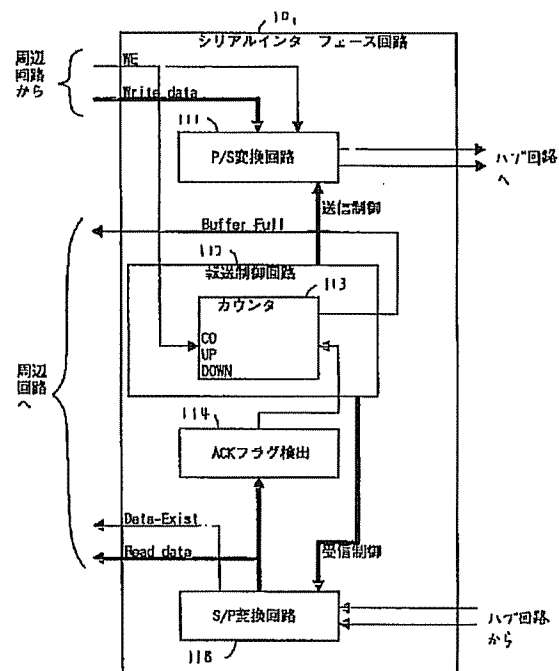
【図3】



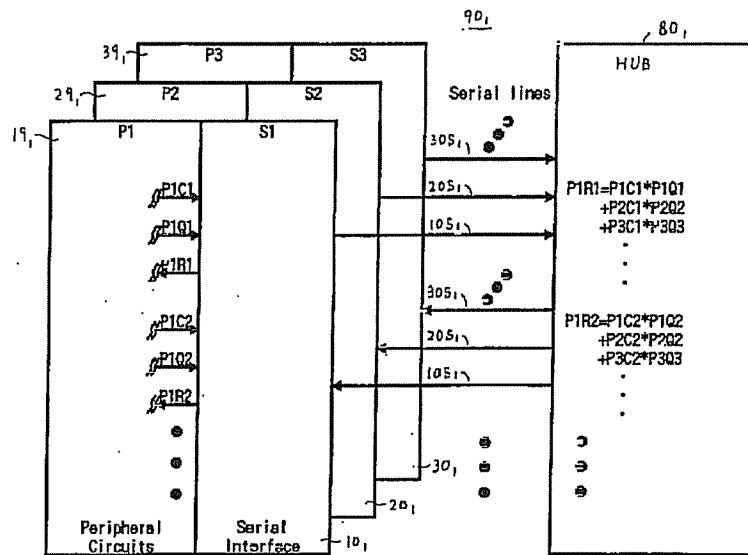
【図4】



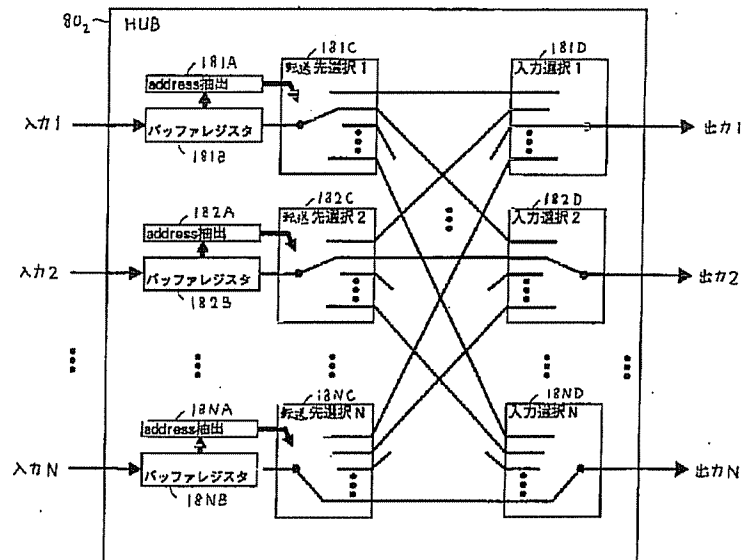
【図8】



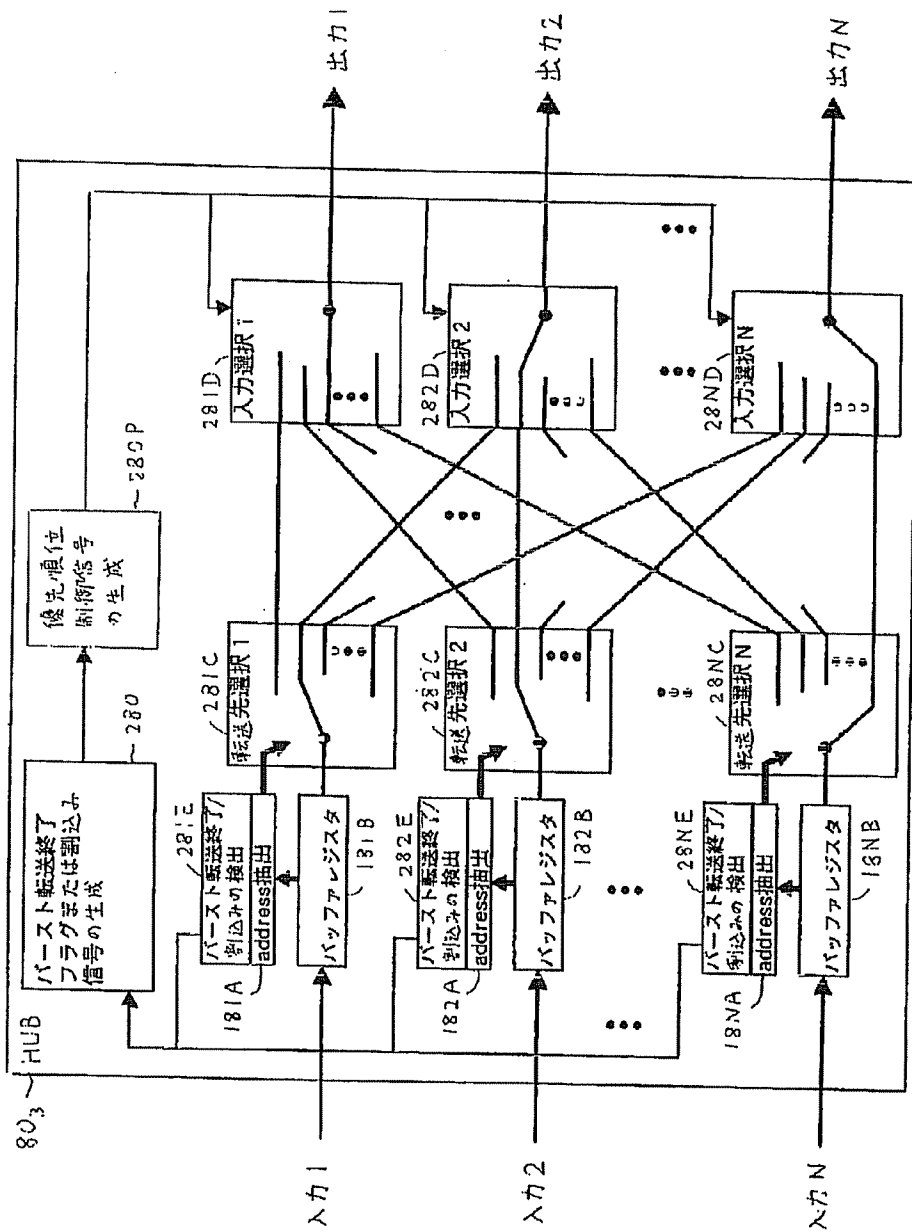
【図5】



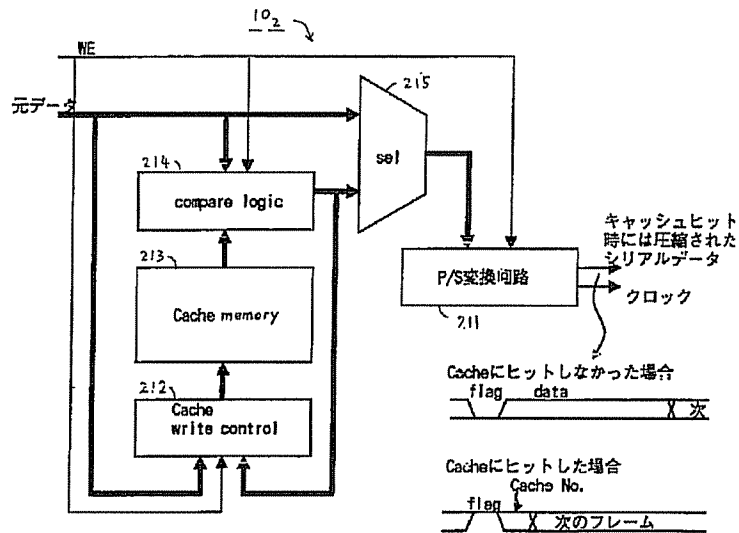
【図6】



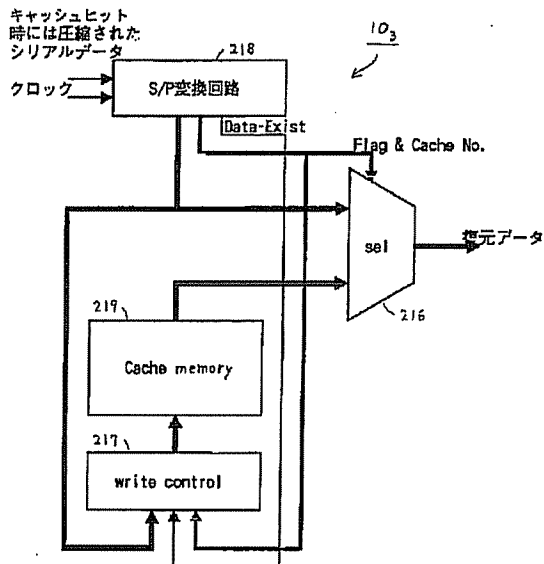
【図7】



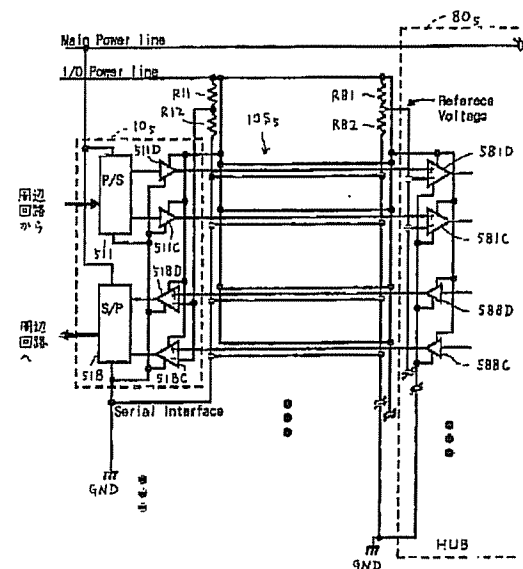
【図9】



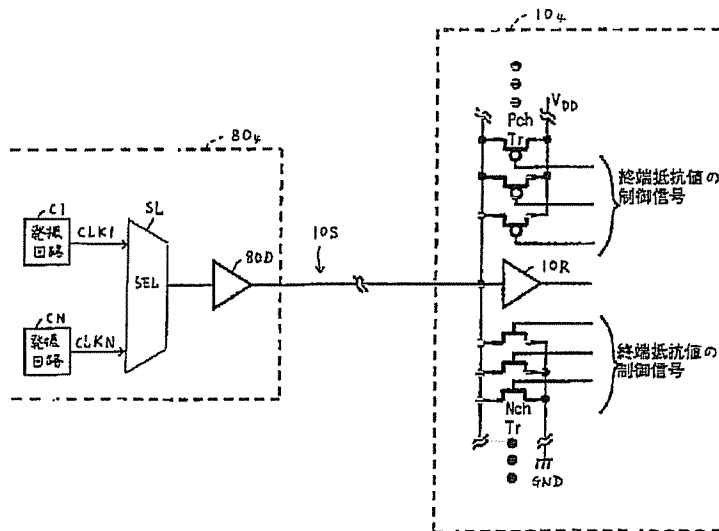
【図10】



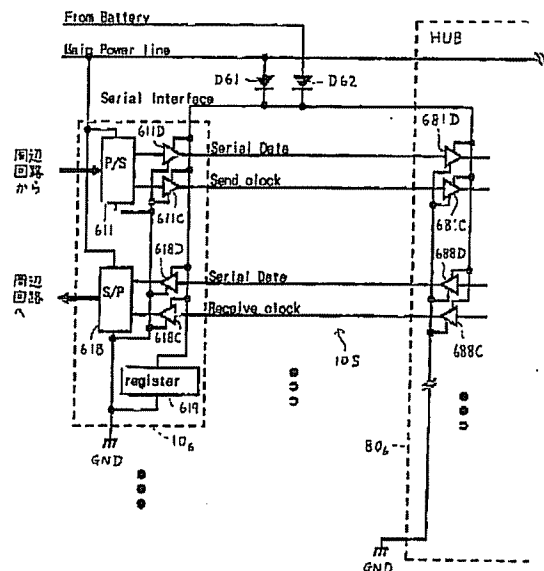
【図12】



【図11】



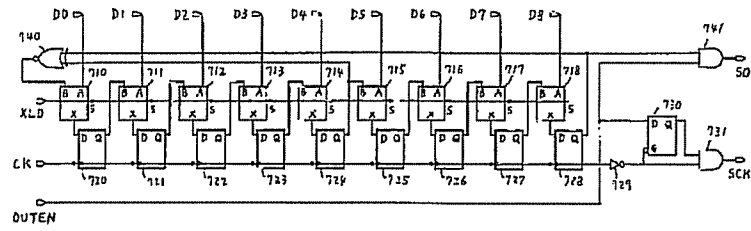
【図14】



(24) 101-223729 (P2001-223729A)

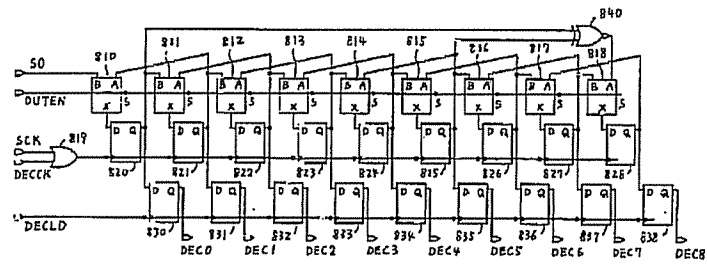
【図15】

114



【図16】

181



【図17】

